



TITLE:

マルチメディア通信のための交換
システム構成法に関する研究(
Dissertation_全文)

AUTHOR(S):

高橋, 達郎

CITATION:

高橋, 達郎. マルチメディア通信のための交換システム構成法に関する
研究. 京都大学, 1997, 博士(工学)

ISSUE DATE:

1997-03-24

URL:

<https://doi.org/10.11501/3123624>

RIGHT:



マルチメディア通信のための交換システム
構成法に関する研究

高橋 達郎

マルチメディア通信のための交換システム 構成法に関する研究

高橋 達郎

目次

第1章	緒論	1
1. 1	研究の背景	1
1. 2	研究の内容	1
1. 3	本論文の構成	4
第2章	同期多重交換と非同期多重交換	6
2. 1	交換方式の分類	6
2. 2	多重化フォーマットと交換原理	6
第3章	同期時分割多重スイッチの構成法	11
3. 1	同期時分割多重スイッチ	11
3. 2	同期時分割スイッチにおける異速度通信の収容	15
第4章	(NX64) kb/s 接続の時間順序保存	20
4. 1	まえがき	20
4. 2	マルチスロット情報の時間順序	20
4. 3	時間順序保存アルゴリズム	22
4. 4	内部ふくそう率の低減化	26
4. 5	むすび	32
付録		33
第5章	ATM交換システムの構成法	34
5. 1	ATM交換のねらい	34
5. 2	ATM交換機の概要	43
5. 3	ATMスイッチの構成法	47
5. 4	ATMに関連する本研究の内容	51
第6章	可変リンク速度共通バッファスイッチ網の構成法	53
6. 1	まえがき	53
6. 2	可変リンク速度共通バッファスイッチの構成	54
6. 3	ノンブロックな多段スイッチ網の構成法	58
6. 4	セル転送能力の評価	64
6. 5	可変リンク速度共通バッファスイッチLSIの試作と実験	73

6. 6	むすび	7 9
第7章	高速ATMスイッチの構成法	8 1
7. 1	高速化の意義とねらい	8 1
7. 2	高速化に適したATMスイッチアーキテクチャ	8 4
7. 3	入出力バッファスイッチの構成	8 4
7. 4	むすび	8 7
第8章	リングスイッチ	8 9
8. 1	リングを用いたATMスイッチ	8 9
8. 2	リングスイッチの構成	8 9
8. 3	受信側でスロットをリリースするMACプロトコル	9 0
8. 4	実験システム	9 4
8. 5	むすび	1 0 1
第9章	グループVP帯域管理を用いたB-I SDNネットワークキング	1 0 2
9. 1	まえがき	1 0 2
9. 2	VC、VPのトラヒックと帯域管理	1 0 3
9. 3	GVP管理方式	1 0 4
9. 4	GVP管理方式の効果	1 0 6
9. 5	GVPのB-I SDNへの適用性	1 1 0
9. 6	むすび	1 1 5
第10章	まとめ	1 1 6
10. 1	回線交換通話路の構成法	1 1 6
10. 2	ATM通話路の研究	1 1 6
10. 3	グループVP帯域管理を用いたB-I SDNネットワークキングの研究	1 1 7
10. 4	今後のマルチメディア交換技術	1 1 9
謝辞		1 1 9
参考文献		1 2 0

第1章 緒論

1. 1 研究の背景

通信システムは1890年に我が国で最初の電話サービスが開始されて以来、電話を中心に量的な発展を遂げ、1970年代後半には全国津々浦々まで広くあまねくサービスが普及するようになった。

一方、通信サービスを実現する技術も急速な進歩を遂げている。伝送システムは、当初はアナログ信号波形を伝送していたが、周波数多重伝送、デジタル伝送と進展している。デジタル伝送方式で用いられる伝送ケーブルも、ペアケーブルから同軸ケーブル、さらには光ファイバへとその中心が移っている。多重化技術の進歩とデバイス技術の高速化を原動力として信号伝送速度の高速化が進んでおり、1995年には10Gb/sの高速伝送システムが実用化されている。デジタル伝送方式は、音声・データ・画像等のさまざまな通信メディアをデジタル符号として統一的に伝送することができる。また、10Gb/sという速度は、PCM符号化音声(64kb/s)であれば13万チャンネルに相当し、6Mb/sのMPEG2符号化映像でも1300チャンネルを多重伝送できるため、映像を含むマルチメディアネットワークの技術基盤はすでに存在していると見ることができる。

また、通信端末も符号化技術やデジタル処理技術の進歩を背景に、FAXや形態端末等多彩な端末が普及するようになった。特にコンピュータ技術の発展は、従来の大型コンピュータをデスクトップサイズの大きさと価格に納めることを可能とし、その普及と高性能化には著しいものがある。パソコンの高性能化は、マルチメディア化・ポータブル化・ネットワーク化を推進し、いつでもどこでも使えるマルチメディアネットワークの必要性が高まっている。

1. 2 研究の内容

本研究はマルチメディア通信のための交換機構成法として、筆者がこれまでにに行った研究をまとめたものである。対象とする通信モードはSTM (Synchronous Transfer Mode) とATM (Asynchronous Transfer Mode) の双方であり、それに対応した回線交換方式・ATM交換方式の研究を行った。

1. 2. 1 回線交換通話路の構成法

現在の多くの公衆通信は、電話網やN-ISDN網をはじめとして、回線交換が用いられている。回線交換は、通信速度が一定であれば極めて効率の良い交換方式である。ここで言う速度一定とは、一つのコネクションの通信開始から通信終了までの速度に変化が無いことと、通信網が扱うさまざまな通信の速度が同じであることを意味する。現在の通信

は、非電話系の通信が伸びてはいるものの、電話に比べると少数であり、電話中心の現在のネットワークには回線交換が適している。

筆者は1976年－1985年にかけて回線交換通話路の研究を行っており、回線交換通話の研究を開始した時期は、NTTで電話サービスを主対象としたデジタル交換機の実用化が開始された頃と重なる。時間スイッチや空間スイッチといった時分割交換スイッチの基本的な構成法は確立されており、LSI技術の急速な発展を原動力に、空間分割交換機に比べ、時分割交換機の優位性が明らかになってきた。電話用デジタル交換システムのスイッチの構成法として、TsTと呼ばれる超高速な半固定空間スイッチを用いた通話路構成法〔1－1〕と、時間スイッチと空間スイッチの中間的なスイッチである、多重化スイッチの構成方法を提案した〔1－2〕。また、デジタル交換機はすべての情報をデジタルで扱うため、電話以外のさまざまな通信の提供も可能となり、回線交換ベースのマルチメディア通信が実現できる。回線交換システムがマルチメディア通信を実現するには、速度の異なる通信を電話用の64kb/sチャネル複数を用いて高速通信を実現する必要がある。このマルチスロット通信に関して、マルチスロット情報の時間順序保存法を研究した。

従来、回線交換機でマルチスロット情報を扱う場合に、タイムスロット配置を任意配置とした場合には、時間スイッチに起因して、マルチスロット情報の時間順序保存が課題となっていた。この研究では〔1－3〕、時間スイッチをダブルバッファ構成にしなくとも、任意のタイムスロット配置で、時間順序を保存するタイムスロット変換則が必ず存在することを証明した。また、そのような変換則を見いだすための、計算量の小さなアルゴリズムを明らかにした。さらに、時間順序を保存するタイムスロット変換則が複数組存在することを利用した、交換機の内部輻輳率の改善方法の提案を行った。

また、大幅に速度が異なる場合には、速度毎に階層化された複数の通話路スイッチを用い、類似速度の通信をマルチスロット接続で、大幅に速度が異なる通信は速度毎のスイッチを用いる階層化スイッチを用いることが有効であり、階層化スイッチの設計法を検討した〔1－4〕。

1. 2. 2 ATM通話路の研究

ATMはラベル多重に基づく通信モードで、さまざまな通信速度と情報発生形態をもつ各種通信メディアをそれぞれの要求品質に応じて柔軟に扱い得る可能性を持っている。ATMスイッチは、ATMシステム実現のひとつの鍵とも言える技術分野である。

本研究では、ATMスイッチとして、共通バッファスイッチと入出力バッファスイッチ、リングスイッチの3種類のスイッチの構成法を研究した。

共通バッファスイッチは、ATMセルを格納するバッファを複数の入出力ポートで共通利用するものであり、実現に必要なハードウェア規模が比較的小さいといった利点がある。

一方、複数のポートからの情報を一旦多重化してからバッファに書き込むため、バッファメモリの動作速度が早い必要がある。逆に言うと、共通バッファスイッチの実現可能範囲は、バッファを構成するRAMの動作速度で制限される。筆者らが研究した可変リンク速度共通バッファスイッチは[1-5][1-6]、共通バッファスイッチの容量制限要因であるメモリの動作速度を最大限活用し、かつATM特有のリンクスループット制限を回避することをねらいとしている。可変リンク速度共通バッファスイッチは、入出力ポートからの共通メモリへのアクセス権をアービタにより可変に割り付け、入力ポート及び出力ポートの合計速度が一定の範囲内で、トラヒック状況に応じて各入力ポート／出力ポートの速度を可変にする。また、スイッチステージ間の情報転送にハンドシェイク手順を適用して、前段スイッチの出力ポートと後段スイッチの入力ポート間の動作速度の調停を行い、リンク速度をダイナミックに可変とする。可変リンク速度スイッチは、リンク過負荷に強いいため、多段スイッチ網を構成する際に必要なスイッチ数を減らすことができ、スイッチステージ間のリンク過負荷に強い特性を持つ。可変リンク速度共通バッファスイッチの構成原理、スループット特性を明らかにすると共に、CMOS 0.8ミクロンプロセスを用いたLSI試作実験を通じてその実現性を示す。

入出力バッファスイッチは、ATMが普及した時代を想定した高速スイッチの構成法として有力である。現在の電話が広帯域なATMに置き変わる時代を想定すると、ひとつのノード当たりの所要処理能力はテラビットクラスとなる。テラビットクラスのスイッチの実現方法には、低速のスイッチを多段接続する方法と、高速のスイッチを少ない段数接続する方法とがある。高速スイッチを実現するには、GaAsや高速Bipolar等の高価なデバイスが必要とし、高速で信号を伝送するためにインピーダンス整合のとれた実装を採用する必要があるなど、高コストになる。しかし高速スイッチが実現できれば、多重化効果・統計多重化効果により、交換ノード内の回線数を低速スイッチに比べ著しく低減でき、必要なスイッチ段数も少なくて済む。テラビットスイッチの実現に向け、10Gb/sの回線を交換する高速スイッチの研究を行った[1-7]。スイッチの構成法として、入出力バッファ方式を採用した。入出力バッファ方式は、入力及び出力にバッファを配置し、スイッチマトリクスにはバッファを持たず、入出力回線に比べ2倍の速度で動作してセルを交換する。スイッチマトリクスはバッファを持たないため、必要な回路規模が小さく、高速なデバイスプロセスが適用可能である。バッファ容量設計、高速に動作させるためのアービトレーション方式等を検討し、LSI試作を含めた実験を行った。

リングスイッチは、もともとスロットイドリングLAN”MAGNET”として研究したもので[1-8][1-9]、スロットイドリングも固定長のパケットを扱うため、一種のATMスイッチと見ることができる。MAGNETは2本のユニディレクショナルリングを伝送路として持つサービス総合LANで、高速環境での効率的な情報伝送のため、スロットは宛先ノードで開放され、直ちに他の通信に再利用される。効率的な通信とともに

に、リアルタイム通信とノンリアルタイム通信を効率的に多重化し、ノード間のサービスの公平性を実現するMAGNETのメディアアクセス制御プロトコルを提案し、その性能評価を行った。

1. 2. 4 グループVP帯域管理を用いたB-ISDNネットワークの研究

ATM網はコネクションの設定と、リソース管理が分離されており、新たなコネクションを設定する際には、コネクション受け付け制御(CAC)により、設定要求のあったコネクションの所要帯域が網リソースの範囲内であることを確認する。コネクションとして、バーチャルチャネル(VC)、バーチャルパス(VP)の2つの階層的なコネクションがある。VPは、VCとともに端末相互間に設定されるコネクションとして用いられるほか、交換機相互間の方路設定用のパスとしても使用される。交換機相互間の方路設定用の網内パスを対象として、複数のVPで帯域を共用する、グループVP(GVP)帯域管理方式を提案した[1-10][1-11][1-12]。GVP方式は、セル転送レベル、呼設定レベルでのVP間の帯域共用効果があり、可変速度通信を扱う比較的小規模のネットワークでその効果が大きい。GVP方式を実際のネットワークに適用する方法を検討し、とりわけ県内中継網への適用効果が高いことを明らかにした。

1. 3 本論文の構成

本論文は以下の構成である。

まず第2章で、STMとATMの2つの通信モードの原理とその特徴を述べる。

第3章では、STMを対象に、各種のスイッチ構成法と、異速度通信を扱うためのスイッチ網の構成法を述べる。第4章では、マルチスロット情報の時間順序保存法を述べる。

第5章は、ATMを対象に、ATM通信の原理、ATM交換機の所要機能、品質制御法、ATMスイッチの構成法を述べる。第6章は可変リンク速度共通バッファスイッチの構成法を述べ、第7章で高速入出力バッファスイッチを、第8章でリングスイッチの構成法を述べる。

第9章ではGVP帯域管理方式を述べ、第10章で論文全体の結論を述べる。

参考文献

[1-1] 俵、浜里、井上、高橋、"時間スイッチによる通話路構成"、通研実報、

Vol.28, No.7, pp.1277-1291, July 1979

[1-2] 安井、高橋、"可変タイムスロット多重化分離回路を用いた時分割通話路の提案"、信学論、vol.66-B, No.2, pp.193-200, Feb. 1983

[1-3] 高橋、"(N x 64) kb/s接続の時間順序保存" 信学論 Vol.69-B, No.10, pp.

1038-1045, Oct. 1986

- [1 - 4] 高橋、菊地、” 高速・広帯域 I N S のための多元ベアラ交換”、信学会、交換研究会資料 S E 85-125, Nov.1985
- [1 - 5] T.Takahashi, H.Kataoka and M.Hirano, "Broadband Packet Switching Network Featuring Dynamic Control of Link Speed," 信学論 Vol.71-E, No.9, pp.869-875, Sep.1988
- [1 - 6] H. Yamada, S. Yamada, H. Kai, and T. Takahashi, "A Multi-Purpose Memory Switch LSI for ATM-Based Systems," Proc. of GCOM'90, Vol.3, pp.1602-1608, Dec. 1990
- [1 - 7] Y. Doi, H.Yamada, K. Endoh, and T. Takahashi, "A Very High-Speed ATM Switch With Input and Output Buffers," Proc. of ISS'92, vol.2, pp.231-235, Oct. 1992
- [1 - 8] A. A. Lazar, A. Patir, T. Takahashi, et al., "MAGNET: Columbia's Integrated Network Testbed," IEEE JSAC, Vol.-3, No.6, pp.859-871, Nov. 1985
- [1 - 9] A. Patir, T. Takahashi, et al., "An Optical Fiber-Based Integrated LAN for MAGNET's Testbed Environment," IEEE JSAC, Vol.-3, No.6, pp.872-881, Nov. 1985
- [1 - 1 0] T. Takahashi, S. Nakajima, S. Chaki, and M. Omotani, "B-ISDN Networking Using GroupVirtual Paths," Proc. of ICC'93, pp.1343-1347, May 1993
- [1 - 1 1] 高橋、重谷、茶木、中島、” G V P を用いた B - I S D N ネットワーキングの提案”、信学論 Vol.76-B-1, No.11, pp.819-827, Nov. 1993
- [1 - 1 2] 重谷、高橋、” G V P 帯域管理方式を適用した B - I S D N 網の設計”、信学論 Vol.78-B-1, No.8, pp.305-313, Aug. 1995

第2章 同期多重交換と非同期多重交換

2. 1 交換方式の分類

交換システムは時代とともに変遷をたどり、交換システムの歴史的な世代は、「手動交換—ステップバイステップ—クロスバー電子交換—デジタル交換」の流れで表現される。A T M交換はデジタル交換に続く世代の交換方式と目されている。デジタル交換、A T M交換はともにデジタル化された情報を統合的に扱うもので、電子交換時代に確立された蓄積プログラム制御方式によりソフトウェアでコネクションの設定制御が行われる。A T M (Asynchronous Transfer Mode) は非同期転送モードを意味し非同期的な情報の多重化を行うことが特徴である。一方デジタル交換では、S T M (Synchronous Transfer Mode) と呼ばれる通信モードを用いており、同期多重化された情報を扱う。S T Mは後述するように、電話通信のような通信速度が一定の大量の情報を扱うのに適しており、現在の電話／N－I S D N等の公衆通信網は64 kb/sをベアラ速度とするS T M交換機で接続制御がなされている。一方A T Mはマルチメディア通信のように速度が異なる通信群を扱うのに適しており、次世代の最も有力な交換技術と考えられている。

2. 2 多重化フォーマットと交換原理

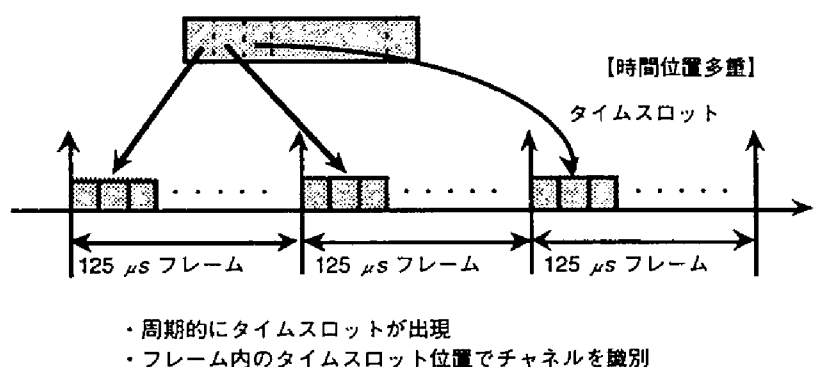
図2－1はS T MとA T Mの情報多重化フォーマットを示している。S T Mは一定速度の通信を大量に伝送するのに適した多重化方法を採用している。図は電話／N－I S D N等の64 kb/s情報を伝送するための多重化フォーマットであり、図中の矢印で示される一定周期（125マイクロ秒）のフレーム同期信号と、8ビット単位のユーザ情報群から成る。フレーム同期信号が情報列の基準位置を表し、フレーム同期信号からの時間位置でチャンネルを表す。通信開始に先だって、予め交換機相互間でコネクションを設定する。交換機は通信チャンネルの空塞状況を常時管理し、コネクション設定要求を受けると、空きとなっているチャンネルグループから1つのチャンネルを選択し、その通信に割り付ける。割り当てが済むと、割り付け結果を後段の交換機に知らせ、以降宛先に至るコネクション設定を依頼するとともに、自交換機内のスイッチ制御メモリに入出力を結ぶための制御情報を書き込んで通信経路を設定する。コネクションの設定制御のための情報は別チャンネルで伝送され、かつチャンネル位置の識別がフレーム同期信号からのビット位置で行われるため、64 kb/sのすべてが端末相互間の情報伝送に使用可能である。

S T M交換機で64 kb/s以外の速度の情報を伝送するためには、125マイクロ秒以外のフレーム周期とするか、または125マイクロ秒周期のフレームで、複数の64 kb/sチャンネルをひとつのコネクションに用いたり、64 kb/sチャンネルの一部をひと

つのコネクションに用いる方法がある。両者の適用領域は、速度の違いとトラヒック量に従う。交換機の構成法について3章で述べる。

一方ATMは、さまざまな速度を持つ通信を多重伝送するのに適しており、すべての情報を固定長のブロックで伝送し、すべての情報に宛先等を示すヘッダを付加して伝送する。ATMはヘッダでコネクション識別を行うため、高速な通信は単位時間当たりの送信セル数を多くし、低速な通信は単位時間当たりの送信セル数を少なくすることにより、速度の異なる通信を扱うことができる。ネットワークの内部では通信速度固有のハードウェアを持たないため、異速度や通信中に速度の変わる可変速度通信を効率よく扱うことが可能である。

STM
(Synchronous Transfer Mode
: 同期転送モード)



ATM
(Asynchronous Transfer Mode
: 非同期転送モード)

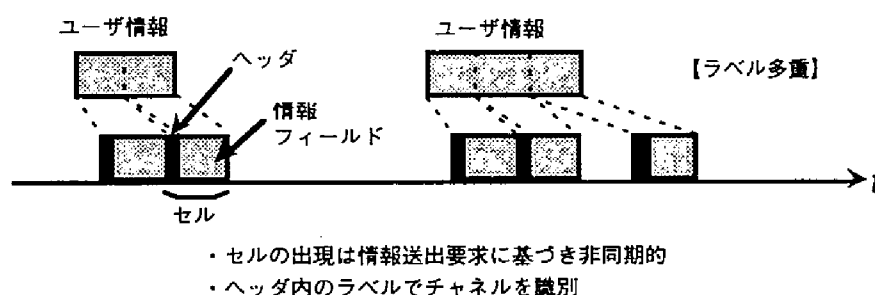


図 2-1 多重化方式の比較
Fig.2-1 Multiplexing in STM and ATM

ATMは広帯域ISDN(B-ISDN)で使用する唯一の通信モードである。ATMは当初次世代広域通信網の基本技術として研究開発が行われてきたが、ATM技術が持つ広帯域性・マルチメディアへの親和性が広く認められ、最近ではマルチメディアを指向した次世代LANやVOD(Video On Demand)等のCATVシステム等にもATM技術を採用する動きが広がっている。

図2-2はATMネットワークの基本動作をモデル化して表わしたものである。映像、音声、コンピュータ通信などの各通信メディア情報は、48バイトの固定長の情報ブロックに分割され、宛先などを示す、ラベル(5バイト)が付加されてネットワークに送られる。各通信端末からのセルは多重化されてネットワーク内を運ばれ、ラ

ベル情報に従って、自己ルーティングスイッチにより高速にハードウェアスイッチングされ、それを繰り返しながら目的のところへ伝達される。そこで宛先などのラベル情報の確認が行われ、順次、もとのメディア情報に組み立てられて通信が行われる。

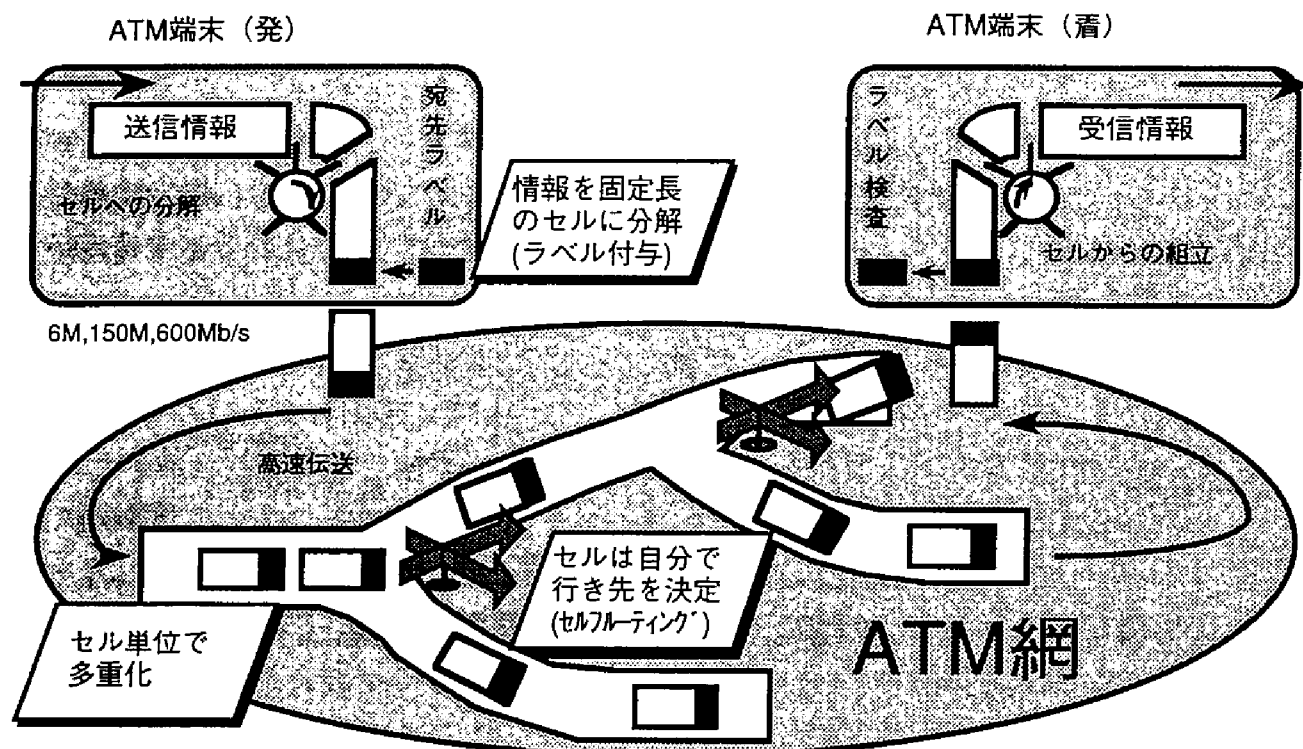


図 2 - 2 ATMの原理
Fig.2-2 Principle of ATM

ATMは今までの回線交換、パケット交換のそれぞれのメリットを生かした新しい通信方式であり、通信速度に依存せず、各メディアを統合して扱え、かつ高速に通信することが可能な通信モードである。現在の電話網、狭帯域ISDNなどの回線交換方式では、STM（同期通信モード）が用いられてる。周期的なフレームにより通信速度が固定化されるSTMに比べ、ラベル多重を用いるATMでは、通信毎のセルの送信回数を変えることにより、通信速度を任意に設定できるばかりでなく、さまざまな速度の通信を統一的に扱うことができる。ATM網内のクロスコネクト装置や交換機ではラベル情報をもとに、自己ルーティングによるハードウェアスイッチングが行われる。パケット交換でも同様にラベルをもとにスイッチングを行うが、ソフトウェアでスイッチングを行うパケット交換に比べ、ATMでは固定長のセルをハードウェアでスイッチングできるため、極めて高速に動作することが可能で、データや音声のみならず、HDTVのような高速な映像情報も扱うことができる。

情報の発生形態は通信毎に大きく異なり、図2-3に示すように、コンピュータ通信のように平均速度に比べてピーク速度が大きなバースト的な情報から、可変速度(VBR)映像等のように若干の速度変化の伴う通信、PCM符号化音声のような一定速度(CBR)の通信がある。

(1) 回線変換サービス：
64 kb/s 音声信号の例

(2) 可変速度サービス：
テレビ映像通信の例
(画面情報の変化に
応じて発生)

(3) データ通信サービス：
LAN間接続の例

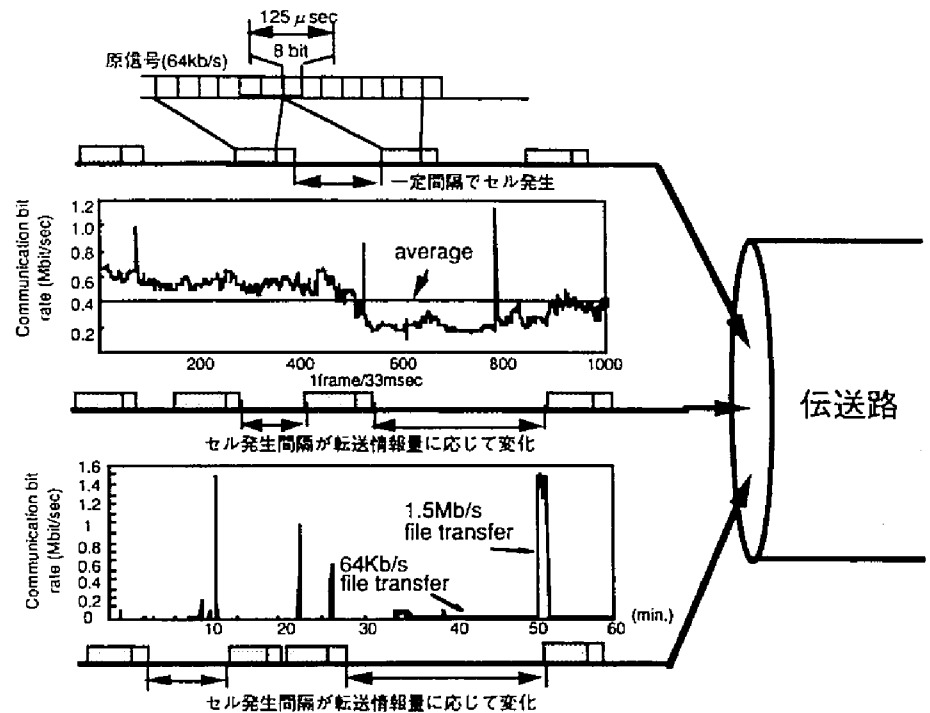


図 2 - 3 情報の発生形態
Fig. 2-3 Cell emission characteristics

図 2 - 4 に示すように回線交換で用いられる S T M 多重はコネクション毎にネットワークリソースをピーク速度で割り当てるため、通信品質は良好だがバースト的な通信を扱う場合にはネットワークの使用効率が悪い。また、パケット交換などの統計多重方式は、コネクション全体で網リソースを共用するため、網の使用効率は高いが、通信品質は統計的にしか保証されない。A T M 通信網は同一のハードウェアを用いて、ソフトウェアの変更により、回線交換的な通信サービスもパケット交換的な通信サービスも実現できる特徴を持つ。

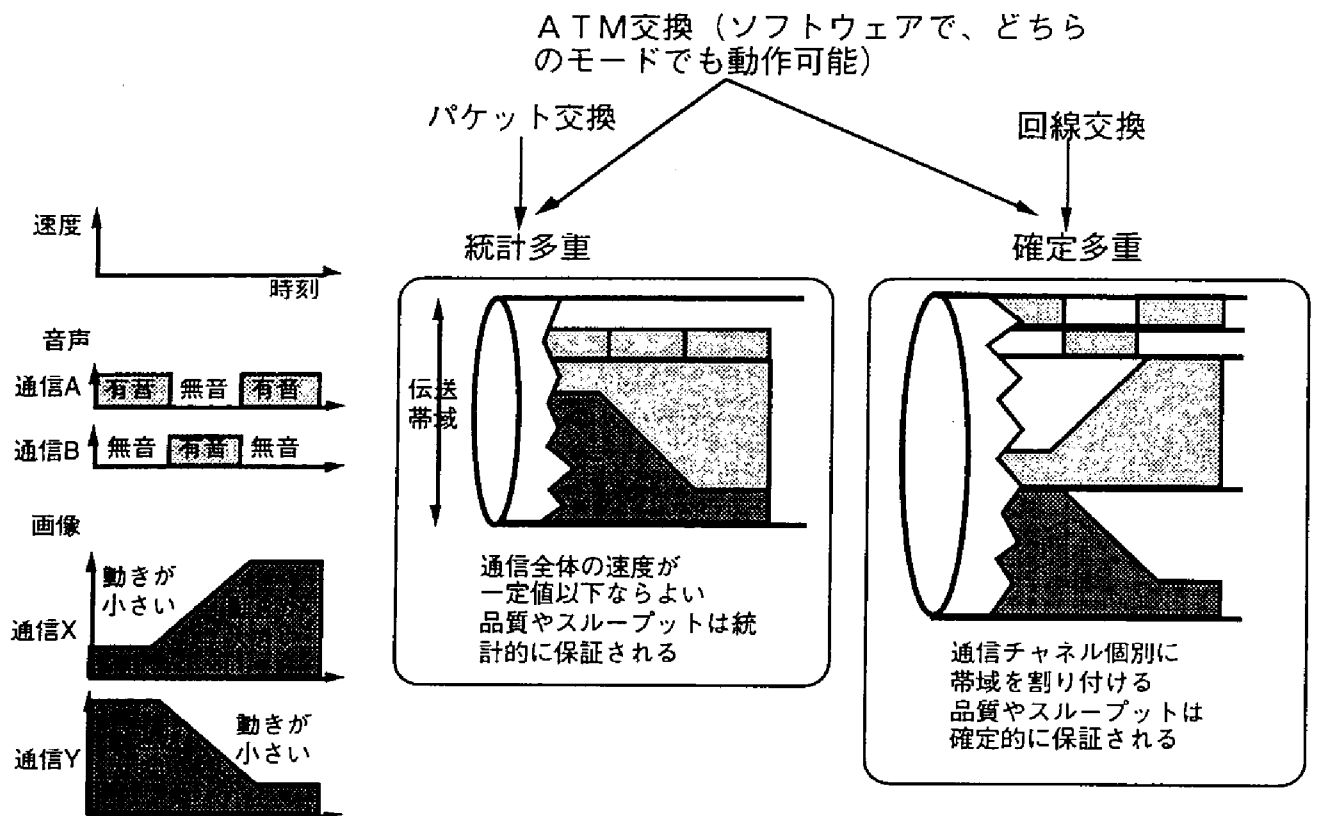


図 2-4 回線交換／パケット交換／ATMにおけるリソース割り当て
Fig. 2-4 Resource Allocation in CS/PS/ATM

3. 1 同期時分割多重スイッチ

同期時分割多重スイッチには、時間スイッチ（Tスイッチ）、空間スイッチ（Sスイッチ）、多重化スイッチがあり、これらの組み合わせでスイッチ網が構成される。時間スイッチは、図3-1（a）に示すように、1本の多重化ハイウェイ上のチャネルを入れ換えることにより情報を交換する。一方空間スイッチは、図3-1（b）に示すように、異なるハイウェイ間で同一タイムスロット同士で情報の入れ換えを行う。また多重化スイッチは、複数のハイウェイを1本の高速ハイウェイに多重化する多重化回路や、逆の操作を行う分離回路において、多重・分離する順序を制御することによって情報を交換する。

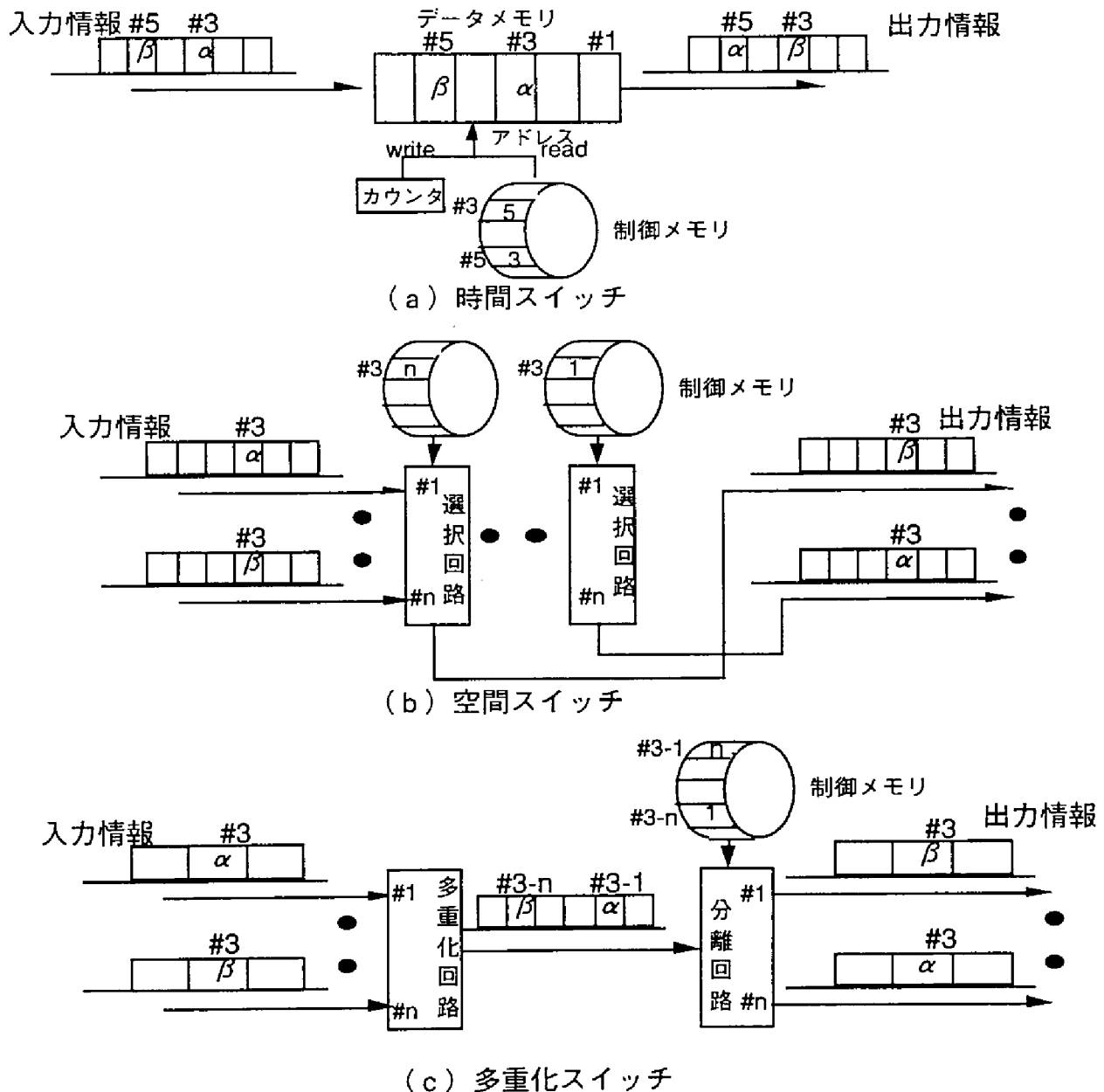


図3-1 同期時分割スイッチ

Fig. 3-1 Synchronous time division switches

時間スイッチの基本的な特性を決定するのは、スイッチ規模であり、 m チャネルの入力と n チャネルの出力を持つ $m \times n$ のスイッチの場合、これを実現するのに必要なハードウェアの条件は以下の通りである。なお、チャネル速度を v 、多重化フォーマットはオクテット多重で8ビット並列の書込／読みだしを行うものとし、アドレス制御は、ランダム読み出しとする。

データメモリ量： $8m$ ビット

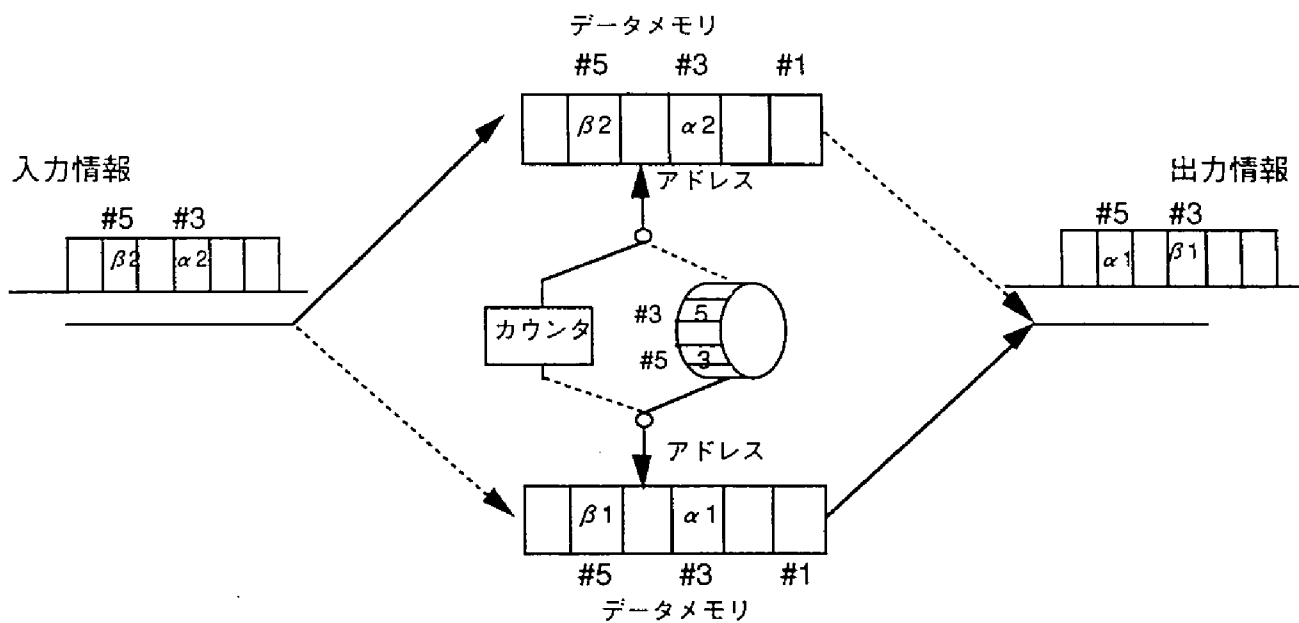
データメモリの動作速度： $(m+n) v / 8$

制御メモリ量： $8n$ ビット

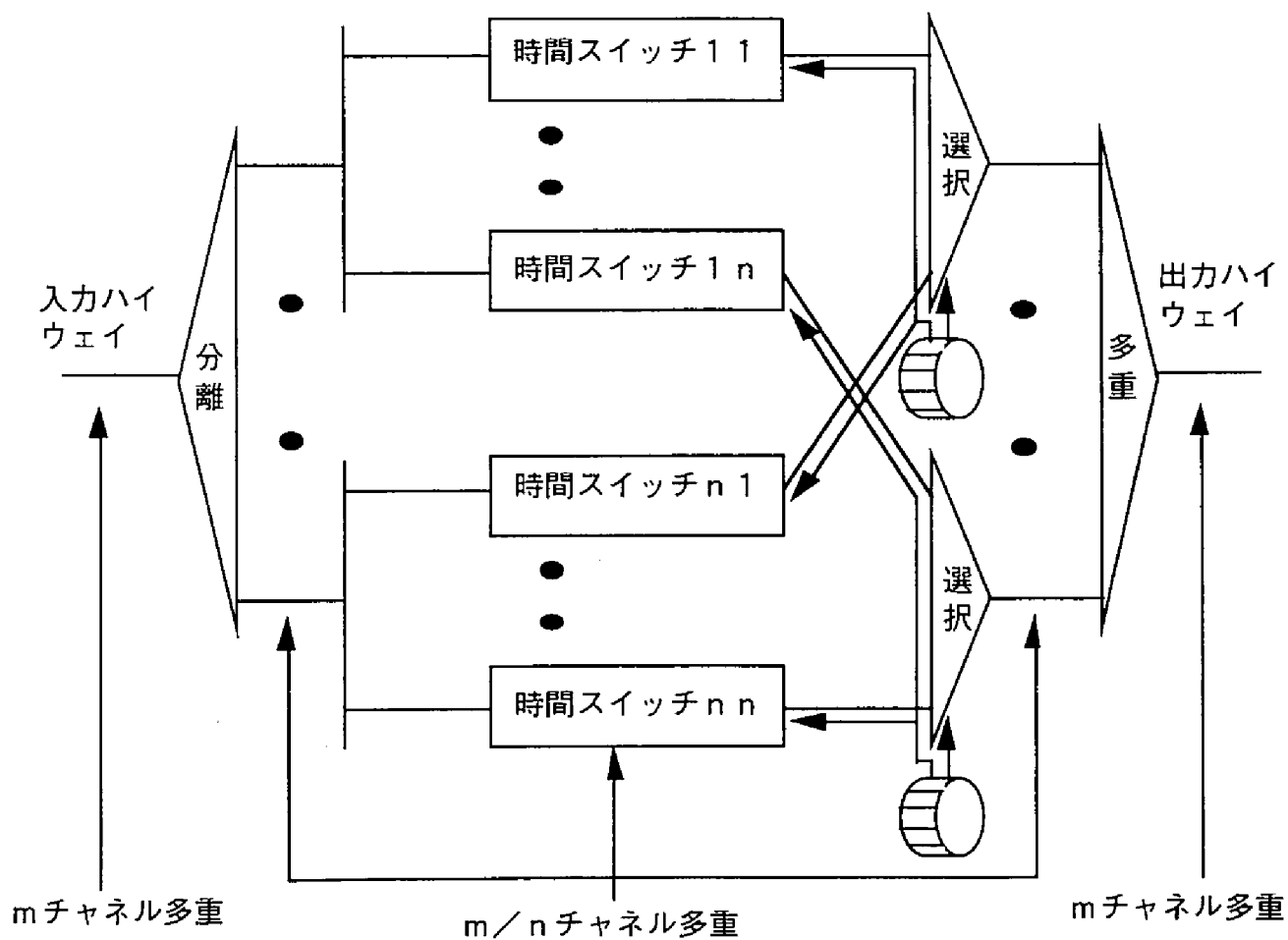
制御メモリ動作速度： $n v / 8 + \alpha$

α は制御メモリへの書き込みのための動作に必要な速度である。電話／N-ISDN等の64kb/sチャネルを対象にすると、例えば4000×40000スイッチの場合、メモリ量は合計で64kビット、メモリの動作周期は16ナノ秒となる。LSIの技術動向と比較すると、動作速度の条件は厳しいが、集積度には余裕がある。そのため、回路規模を大きくして、動作速度の条件を緩和する手法がさまざまに検討されている。代表的な例には、図3-2に示すダブルバッファ方式と、メモリマトリクス方式がある。ダブルバッファ方式は、データメモリを2面持ち、フレーム周期毎に書き込み／読み出しのメモリバンクを切り替える。同一周期には、ひとつのメモリバンクには、書き込みまたは読み出しのいずれかのアクセスしかしないため、データメモリの動作速度が、シングルバッファ方式に比べて半分でよい。但しデータメモリ量が2倍になるとともに、情報の遅延が1フレーム増加する。メモリマトリクス方式は、図3-2(b)に概念図を示すように、 $n \times n$ スイッチを、 k^2 個の小規模な $m \times m$ スイッチ($km=n$)で実現するのに類似している。

図3-2(b)に示すように、入力情報は、入力ハイウェイに対応した k 個のデータメモリに同一内容が書き込まれる。データの読み出しは、出力ハイウェイに対応した k 個のデータメモリからデータを読み出した後、その中から1個のデータを選択する。この方法は、データメモリが k 倍必要となるが、メモリの動作速度を $1/k$ に低減できる。



(a) ダブルバッファ方式



(b) メモリマトリクス方式

図 3-2 時間スイッチの低速動作の方法
Fig. 3-2 Operation speed reduction of time switch

スイッチを組み合わせたスイッチ網の構成法には各種のものがあ、時間スイッチ(T)と空間スイッチ(S)の配列により、STS、TST、TST等と呼ばれる。図3-3はスイッチピラミッドと呼ばれるもので、スイッチ網構成法の動向を示している。技術の進歩によりスイッチの段数が少なくなり、最終的には時間スイッチ1段でスイッチ網が実現されることを表している。

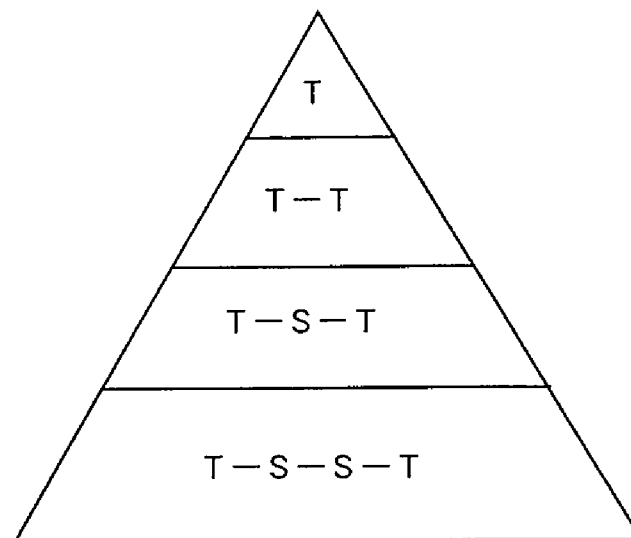


図3-3 スイッチピラミッド
Fig. 3-3 Switch pyramid

これはひとつには半導体デバイスの高速化・高集積化により、時間スイッチの大規模化が著しいことによる。例えば1976年に米国で実用化されたNo.4ESSは1個の時間スイッチで64kb/s128チャンネルを交換できる128多重の時間スイッチであった[3-1]。その後、1981年にNTTで実用化されたD60市外交換機は、1024多重で[3-2]、その後1992年から4096多重の時間スイッチを採用している。筆者らが1976年から77年にかけて担当した研究所内の実験システムDTS-11交換機は、4096多重の時間スイッチを実現した[3-3]。これは、図3-4に構成を示すように、1個の時間スイッチを16個のメモリバンクに分割し、書き込みはランダムに、読み出しは16個一斉に読み出すことによってメモリアクセス速度をほぼ半減している。素子としてECLメモリを使用し、当時の実験システムの限界に近い技術であった。その後のLSI技術の進歩により、汎用的なLSIプロセスで4000多重のスイッチが商用交換機に用いられているばかりでなく、更に高多重(8,000-16,000)の時間スイッチが実現可能な状況になっている。

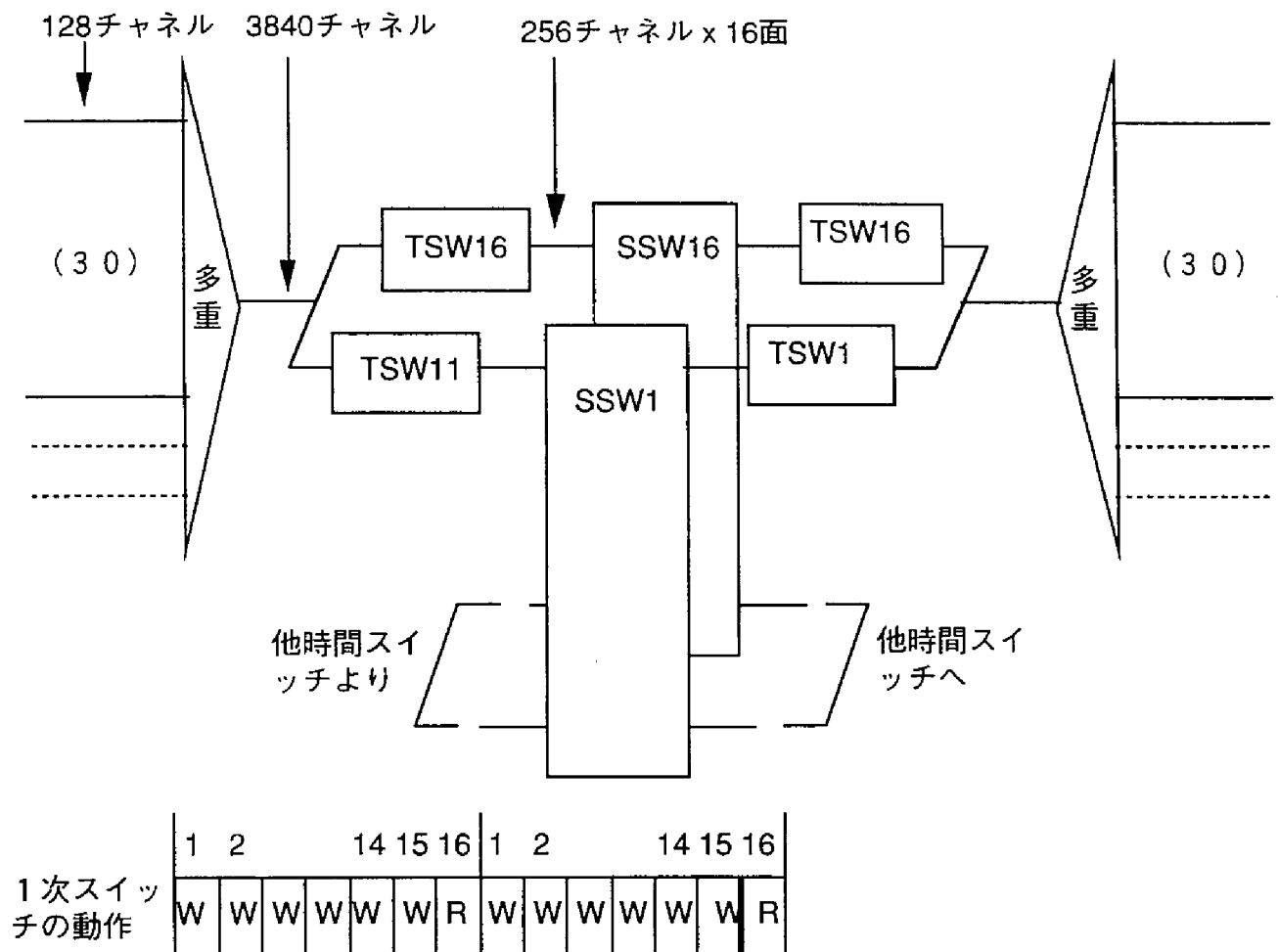


図3-4 DTS-1実験交換機に用いられた4000多重時間スイッチの構成
Fig. 3-4 4,000x4,000 Time switch developed for DTS-1 experimental switching system

3. 2 同期時分割スイッチにおける異速度通信の収容

多重度の大きな時間スイッチを採用することにより、必要なスイッチ段数が少なくなるため、交換機が経済的になるばかりでなく、より高速の通信をマルチスロット接続で扱えるようになる利点がある。図3-5はTSTスイッチを例にとった、チャネルグラフと呼ばれるもので、入力チャネルと出力チャネル間の経路をリニアグラフで表現したものである。ノードはスイッチを、リンクはスイッチ間を結ぶリンク結線を意味する。入出力スイッチが大規模になると、入出力チャネル間を接続するためにとり得る経路の自由度が大きくなる。新しい接続要求を受け付けると、交換機はチャネルグラフで示される接続経路のリンクの空塞状況を調べ、1次2次リンクともに空いている経路を探して、接続要求のあった通信に割り当てる。入出力スイッチの規模が大きいほど、接続要求を満足できる確率が高くなる。接続要求を受けたときに、出力に空きがあっても、スイッチ網内部で接続が不可能な場合を内部ふくそうと呼んでおり、NTTにおける内部ふくそうの目標値は1/1000である。単元呼の場合には、128-256程度の時間スイッチ規模でも、比較的高いリンク使用率の領域まで1/1000の接続品質を満足できる。しかし、64kb/s呼と(N x 64kb/s)の高速呼をひとつのスイッチ網で多元処理する場合には、高速呼に

対して、N個のチャネルを接続する必要があるために、上記の内部ふくそうが高くなる。時間スイッチサイズが1024並びに4096、速度比が6並びに24の時の内部輻輳率を図3-6に示す。内部輻輳率 10^{-3} をリンク能率0.75までの領域で満足するには、1024多重のTスイッチを使用すれば384 kb/s（速度比6）までを多元処理可能であり、4096の時間スイッチでは1.5 Mb/s（速度比24）までが多元処理できる〔3-4〕。

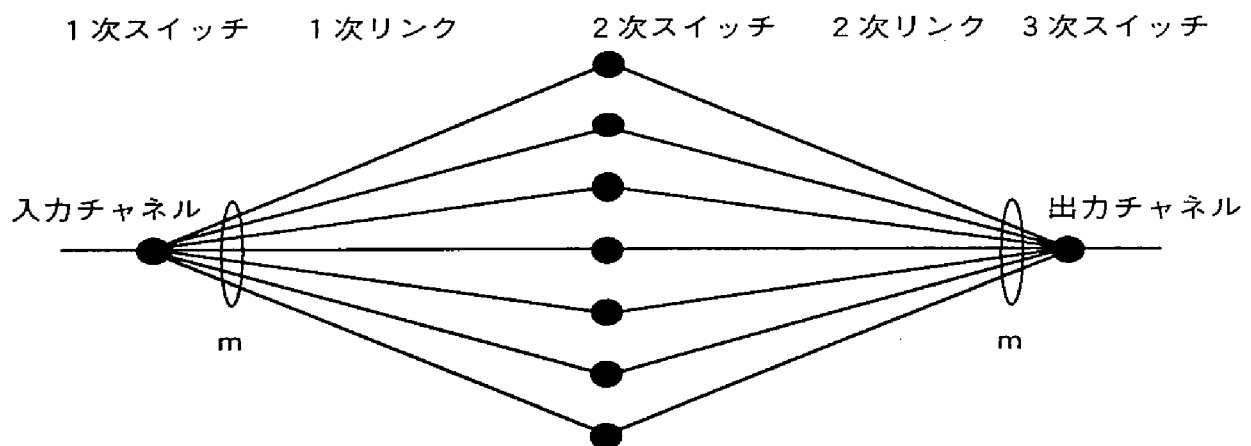


図3-5 TSTスイッチ網のチャネルグラフ
Fig. 3-5 Channel graph of TST switching network

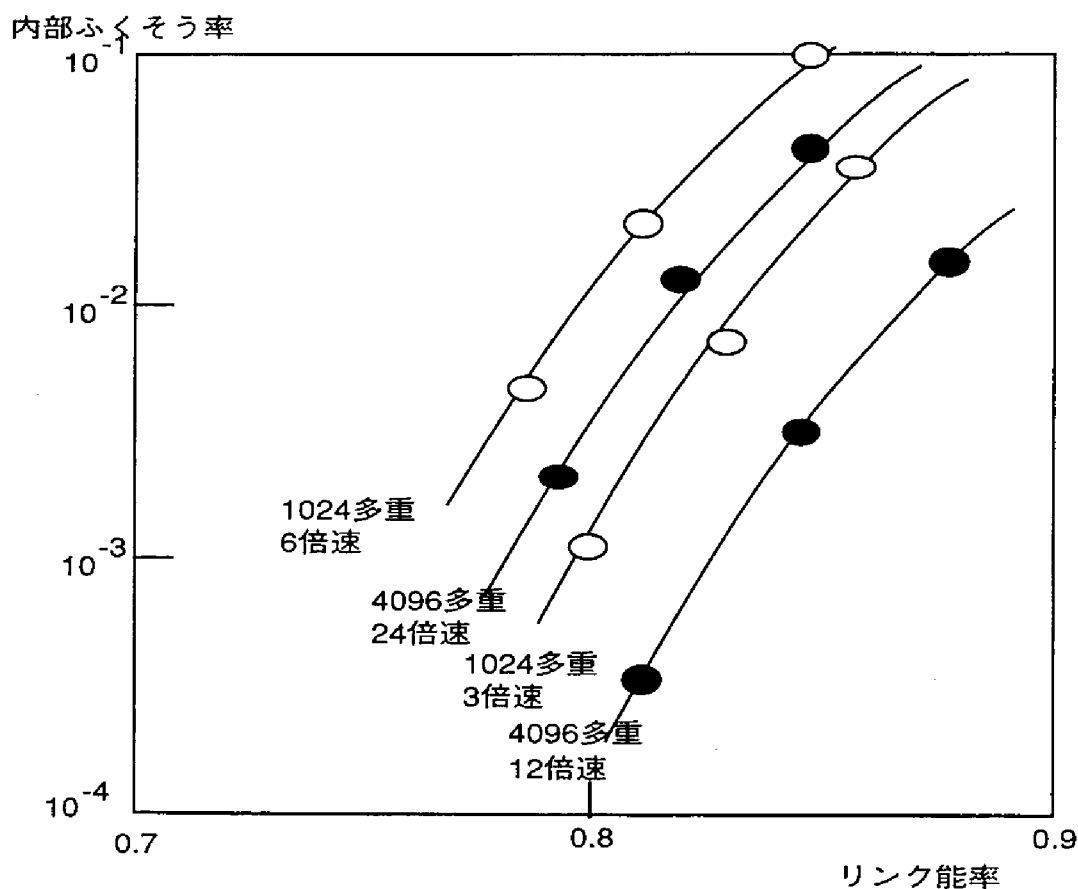


図3-6 TSTスイッチ網の内部ふくそう率
Fig. 3-6 Internal blocking probability of TST switching network

一方更に高速の通信を扱うには、専用の高速スイッチを使用する事になる。高速スイッチは64kb/sベアラスイッチに比べて短いフレーム周期で動作させる。高速スイッチを実現するには、先述のメモリマトリクス方式を用いる方法のほか、高速動作に適した半導体プロセスを用いる方法や、動作速度制限の厳しいRAMの代わりにレジスタを用いる方法がある。高速プロセスを用いたスイッチの実現例として、SST (Super Self-aligned Bipolar Process Technology) プロセス技術 [3-5] を用いた30Mb/sベアラ256x256の時間スイッチの実験例がある [3-6]。またレジスタを用いたスイッチの例として循環レジスタを用いた時間スイッチがあり、GaAsプロセスにより500Mb/sベアラ4x4時間スイッチの実験が行われている [3-7]。

各種のベアラを扱う多元スイッチを実現するには、大幅に速度の異なるものは専用スイッチで、類似の速度はマルチスロット接続で扱う。専用/マルチスロットの適用領域は、デバイス技術の動向や、速度の相違、速度クラス毎のトラフィック分布で異なる。図3-7はサービス対象を0次群 (64kb/s)、2次群 (6Mb/s)、3次群 (32Mb/s) の3種類としたときの階層化スイッチの構成を示している。

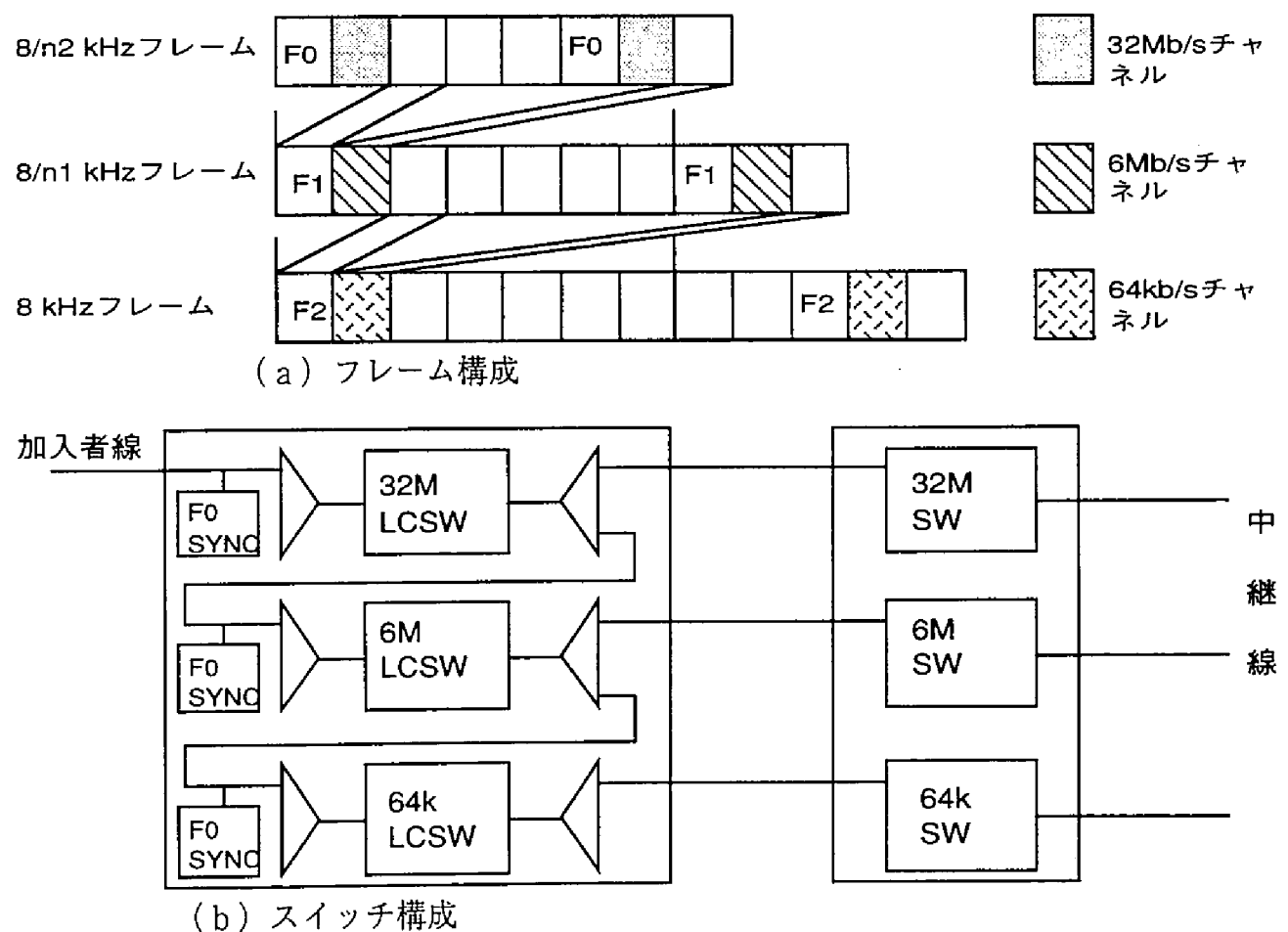
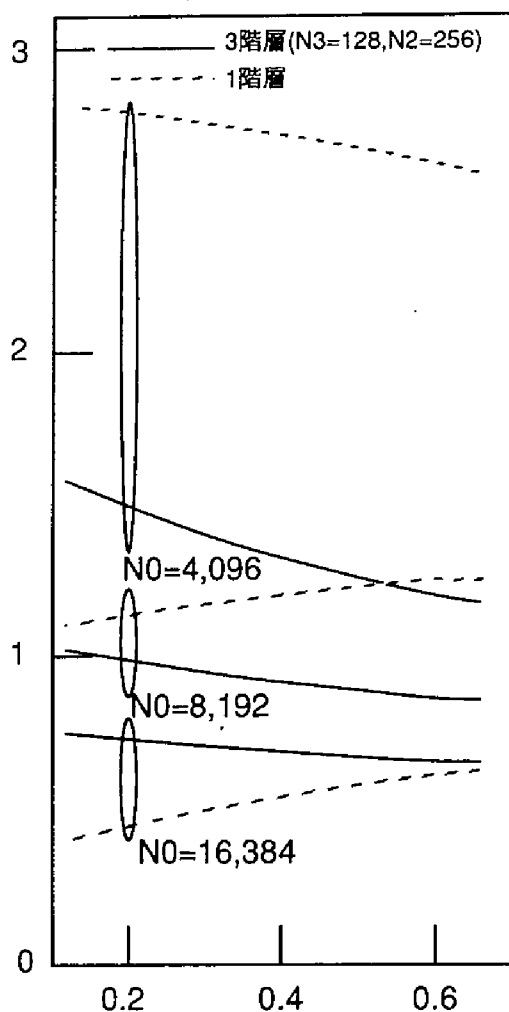


図3-7 階層化スイッチ構成

Fig.3-7 Hierarchical switch construction

図3-8は3階層に階層化したスイッチ構成とマルチスロット接続による1階層スイッチのハードウェア規模の評価例を示している[3-8]。0次群スイッチの実現可能規模によって、必要なハードウェアが異なる。4000-8000程度のスイッチ規模の場合は、1階層スイッチで多重処理可能な高速チャネル(3次群)数が、8-16と極めて小規模のため、それぞれ専用にスイッチを置く階層化スイッチのほうがハードウェア規模が小さくできる。

スイッチ数(相対値,3/2/0次群)

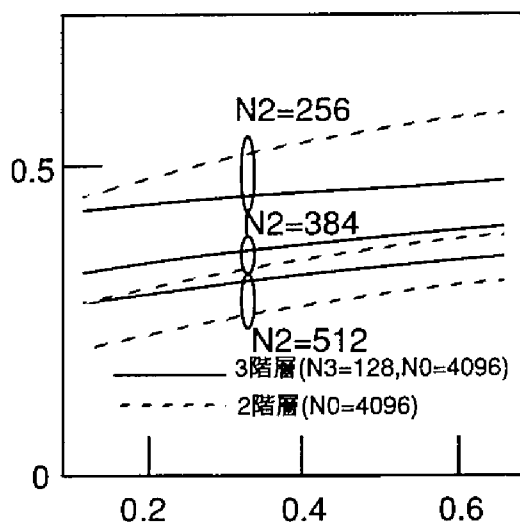


(a) 3階層と1階層の比較

前提条件

- (1)集線系呼損率: 1/1000
(階層構成では各ステージに均等配分)
- (2)2次群トラヒック比率: 0.2
- (3)加入者線使用率: 0.7

スイッチ数(相対値,3/2次群)



(b) 3階層と2階層の比較

図3-8 階層化スイッチのハードウェア規模
Fig.3-8 Hardware count of hierarchical switches

参考文献

- [3-1] J.H.Huttenhoff, et al., "Peripheral System", Bell Syst. Tech. J., Vol.56, No.7, pp.1029-1055, Sep 1977
- [3-2] 江川、上野、笠間、三瓶、"D60、D70デジタル交換機の通話路系装置構成"、通研実報、Vol.33, No.7, pp.1737-1752, July 1984

- [3 - 3] 俵、浜里、井上、高橋、" 時間スイッチによる通話路構成"、通研実報、
Vol.28, No.7, pp.1277-1291, July 1979
- [3 - 4] 酒井、菊地、高橋、" 64kb/s高多重時分割通話路の検討"、信学会、交換研究会資料 S E 86-72, Sep.1986
- [3 - 5] T. Sakai, S. Konaka, Y. Kobayashi, M. Suzuki and Y. Kawai, "Gigabit logic bipolar technology : Advanced super self-aligned process technology," Electron. Lett., Vol.19, No.8, pp.283-284, Aug. 1983
- [3 - 6] N. Yamanaka et al., "High-speed Time Division Switch Operating at 256Mb/s," 信学論 Vol.E-68, No.9, pp.570-571, Sep. 1985
- [3 - 7] Y. Shimazu and T. Takada, "High-speed time switching technology using space-division-switch LSI's," IEEE JSAC, Vol.4, No.1, pp.33-38, Jan. 1986
- [3 - 8] 高橋、菊地、" 高速・広帯域 I N S のための多元ベアラ交換"、信学会、交換研究会資料 S E 85-125, Nov.1985

64 kb/s交換機で高速情報を扱うための、マルチスロット情報の時間順序保存法について述べる。従来、高速な呼びのタイムスロット配置を任意配置とした場合には、時間スイッチに起因してマルチスロット情報の時間順序が問題となっていた。本論文では、任意のタイムスロット配置で順序を保存するタイムスロット変換則が必ず存在することを示し、そのような変換則を見いだすためのアルゴリズムを述べる。また、順序を保存するタイムスロット変換則が複数組存在し得ることを利用した、高速呼の内部ふくそう率の改善法を提案する。

4.1 まえがき

デジタル技術の進展を背景に通信網のデジタル化が進められており、サービス総合デジタル網 (ISDN) が現実のものとなりつつある。また、ISDNを基盤にプロトコル変換や蓄積などの通信処理機能を含む発展形態としての高度情報通信システム (INS) が考えられている。

INSで扱うサービスは、電話、ファクシミリ、画像通信など多岐にわたり、これらのサービスは情報転送速度が異なるため、INS用交換機は多種類のベアラレータを交換接続する必要がある。多種類のベアラを単一の通話路装置で交換するためには、スイッチングの基本単位 (タイムスロット) を最低速ベアラとし、高速ベアラは複数タイムスロットを使用して接続するマルチスロット接続が必要となる。

交換機内でマルチスロット接続を実現するための技術的課題として、マルチスロット情報の時間順序保存 (TSSI; Time-Slot Sequence Integrity) の問題と、通話路の内部ふくそう率の問題がある。以下では、時間順序保存の問題をとりあげ、まず時間順序を保存するためのタイムスロット変換アルゴリズムを提案する。また、時間順序を保存するためのタイムスロット変換が複数組存在することを利用した、交換機内部ふくそう率の低減化手法について述べる。

4.2 マルチスロット情報の時間順序

時分割交換機で情報パスを交換接続する通話路装置の構成要素としては、同一ハイウェイ上のタイムスロット相互間を交換する時間スイッチ (T-SW)、同一タイムスロットのハイウェイ相互間を交換する空間スイッチ (S-SW) ならびに両者の中間的な性格を持つ多重化スイッチがある。この中で、(N×64) kb/s接続のTSSI問題 [4-2] に影響を与えるのは、タイムスロット変換を行うT-SWである。

時間スイッチは、メモリへの書き込みアドレスと読み出しアドレスを制御して、任意の入力タイムスロット (a_i) と出力タイムスロット (b_i) を接続する。交換される情報の時

間関係は、入出力のフレーム位相が同期化されており、1タイムスロットの前半で書き込みを後半で読み出しを行う場合は次のようになる。

$a_i \leq b_i$ のとき同一フレーム内で出力

$a_i > b_i$ のとき次のフレームで出力

高速サービスを実現するために64 kb/sタイムスロットを複数個(N)使用する($N \times 64$) kb/s接続が必要となるが、($N \times 64$) kb/s接続では、N個の接続に対して入出力情報のフレーム関係が統一されないと、図4-1に示すように情報列の時間順序が乱れる場合がある。

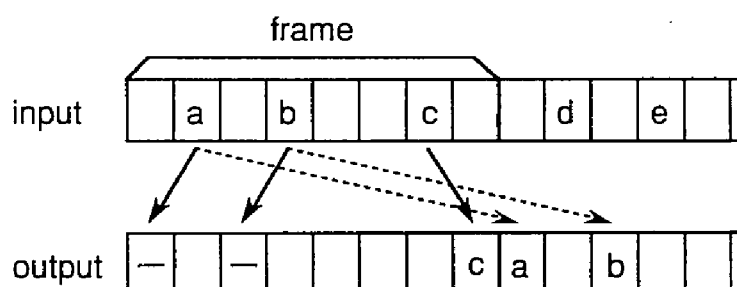


図4-1 情報の時間順序を保存しないタイムスロット変換の例
Fig.4-1 An example of timeslot conversion without conserving TSSI.

($N \times 64$) kb/s接続の時間順序は、高速呼のタイムスロット配置法や時間スイッチの構成法に依存する。タイムスロット配置法には、Nタイムスロットの配置に制約を課さないランダム配置(任意配置)、PCMフレーム上で等間隔の配置のみを許す周期配置、隣接タイムスロットのみを許す集中配置がある。図4-2に示すように、周期配置や集中配置ではTSSIの問題は回避できるが、タイムスロット配置の制約が厳しいため、局間回線や通話路装置内の端数出線効果が大きくなり、ランダム配置に比べて接続品質や設備の使用効率が劣化する。また、T-SWの構成法には、通話メモリを2面持ちPCMフレームごとに書き込み面と読み出し面を切り替えて交換するダブルバッファ方式がある。ダブルバッファ方式では、情報はすべて1フレームおくらせて交換されるためTSSIの問題は解決されるが伝送遅延の増加による品質の劣化とメモリの冗長使用による不経済性を招くため好ましくない。従って、ランダム配置で通話メモリを1面しか持たないT-SWにおける($N \times 64$) kb/s接続の時間順序保存法を考える必要がある。

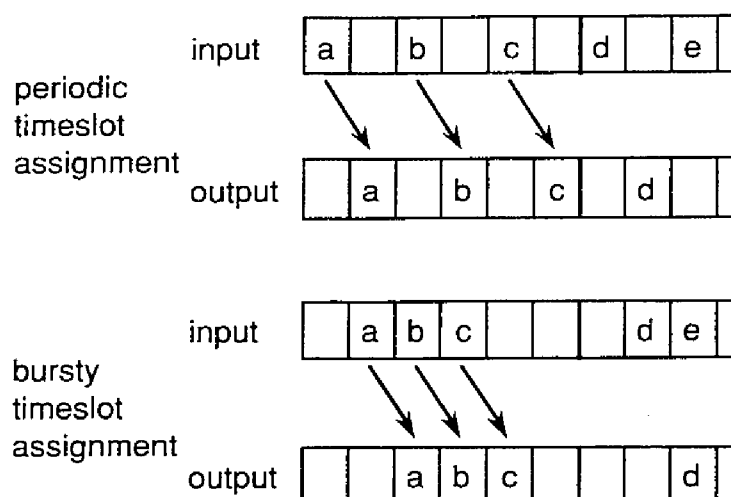


図 4 - 2 周期・集中配置のTSSI

Fig.4-2 TSSI for periodic and bursty timeslot assignment.

4. 3 時間順序保存アルゴリズム

4. 3. 1 時間順序の保証範囲

($N \times 64$) kb/s接続の時間順序を保証する範囲として次の3通りがある (図 4 - 3)

(1) 8 kHzのフレーム単位で保証する。

(2) 情報列としてのみ保存する。

(3) 網では保存しない。

(1) を実現するためには、タイムスロット配置に制約を課すかまたは時間スイッチをダブルバッファ化する必要があり、網側の負担が大きい。一方高速情報のワード構成が8 kHz単位ではない場合 (例えばHDL Cフレームを用いる高速データ通信や高速サンプリングによる高品質音声など) には、8 kHzを網内で保存してもユーザの利便にはならない。

(3) については、限界系接続では端末・端末間で最悪16フレーム (交換機8段、TST通話路の場合) の遅延差が生じる。端末・端末間で情報列の時間関係を復元するための同期ビットを情報列に挿入することにより伝送効率が劣化する。

以下では (2) を実現するための順序保存法を検討する。

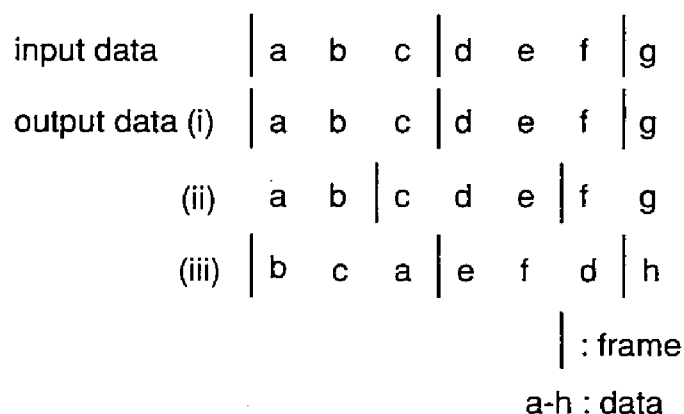


図 4 - 3 TSSIの保証範囲

Fig.4-3 Grade of TSSI.

4. 3. 2 時間順序の保存アルゴリズム

(1) 時間順序の保存条件

タイムスロット配置に制約を課さないよう、T-SWの入および出の任意のタイムスロット群が与えられたときに、時間順序を保存する入力と出力の対応関係（タイムスロット変換法）を見いだすことを考える。選択された入力タイムスロットを a_i ($i=1,2,\dots,N$) とし、同様に出力タイムスロットを b_i とする。 a_i と b_i を接続する対応関係としては $N!$ の組み合わせがあるが、このうち時間順序を保存できる可能性があるのは N 組のみであり、この N 組の対応関係を図 4-4 に示すようにスライド数 s ($s=0,1,\dots,N-1$) を用いて定義する。スライド数 s で定義される N 組の対応関係が $(N \times 64)$ kb/s 情報の時間順序を保存するかどうかは、入・出力タイムスロットの番号に依存し、次式の N 個の条件をすべて満足するときに順序を保存できる。

$$\begin{aligned} a_i &\leq b_{i+s} & i=1,2,\dots,N-s \\ a_i &> b_{N-(i+s)} & i=N-s+1,\dots,N \end{aligned} \quad (1)$$

逆にタイムスロット番号が与えられたときに、式 (1) の N 個の条件を満足するスライド数 s を求めることにより、時間順序を保存するタイムスロット変換法を見いだすことができる。

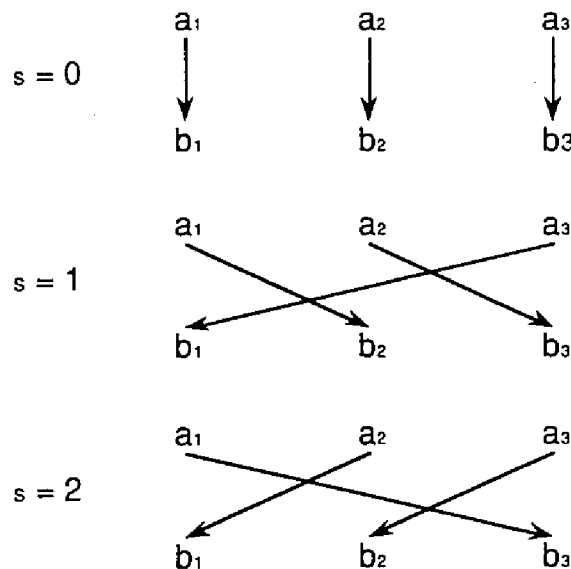


図 4-4 スライド数 s の定義
Fig.4-4 Definition of slide number s .

(2) 解の存在

任意のタイムスロット番号が与えられたときに、時間順序を保存するタイムスロット変

換法が必ず存在する（証明を付録に示す）。また順序を保存する変換の数は、集中配置では1組（ $s=0$ ）、周期配置では N 組であり、ランダム配置では選択されたタイムスロット番号に依存し1～ N 組となる。

（3）対制御

時分割通話路では、アドレス制御メモリの削減と通話路制御の簡単化を目的として、順方向／逆方向の二つのパスを1対として制御する〔4－3〕ことが多い。対制御される通話路では、順方向／逆方向の二つのパスのタイムスロット変換が同一法則となるので、両パスについて時間順序を保存することを検証する必要がある。図4－5にSTS通話路の例を示すように、順方向パスで $a_i \rightarrow b_{i+s}$ の変換が行われるときには、逆方向パスでは対をなす $T-SW$ で $b_i \rightarrow a_{i+(N-s)}$ の変換が行われる。このとき順方向の変換則を s とすると逆方向の変換則は $N-s$ となる。変換則 s が順方向で時間順序を保存しているとする、次の関係式が成り立っている（ $T-SW$ では1タイムスロットの前半で書き込みを、後半で読み出しを行うものとする）。

$$a_i \leq b_{i+s} \quad i=1,2,\dots,N-s \quad (2)$$

$$a_i > b_{N+(i+s)} \quad i=N-s+1,\dots,N \quad (3)$$

逆方向の変換は $N-s$ であり、 $T-SW$ では1タイムスロットの前半で読み出しを、後半で書き込みを行うものとするれば次の条件を満足する必要がある。

$$b_i < a_{i+(N-s)} \quad i=1,2,\dots,s \quad (4)$$

$$b_i \geq a_{N+(i+(N-s))} \quad i=N-s+1,\dots,N \quad (5)$$

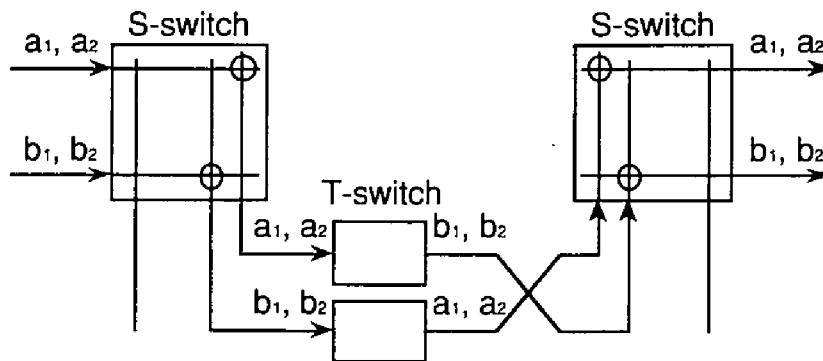


図4－5 対制御を行う場合の時間順序保存

Fig.4-5 TSSI for paired path hunting

式（2）を満足すれば式（5）が、式（3）を満足すれば式（4）が満足されるため、順方向パスの時間順序が保存されれば対をなす逆方向パスの時間順序は自動的に保存されることがわかる。従って、対をなす時間スイッチの片方（例えば1次スイッチ）で1タイムスロットの前半で書き込みを行う場合には、対をなす $T-SW$ （2次スイッチ）では後

半で書き込みを行うようにすれば、順方向についてのみ時間順序保存条件を考慮すればよい。

(4) 複数組の解を見いだすためのアルゴリズム

後述するように複数のT-SWを占有したNタイムスロットの接続を許す制御法では、通話路の空きタイムスロット選択に当って複数組のタイムスロット変換を考慮することにより内部ふくそう率を低減し得る。このとき、順序を保存するタイムスロット変換法を見いだすためのアルゴリズムは、それぞれのsについて式(1)のN個の条件($i=1,2,\dots,N$)を逐一確かめることとなる。フローチャートおよび大小比較のシーケンスを図4-6に示す。

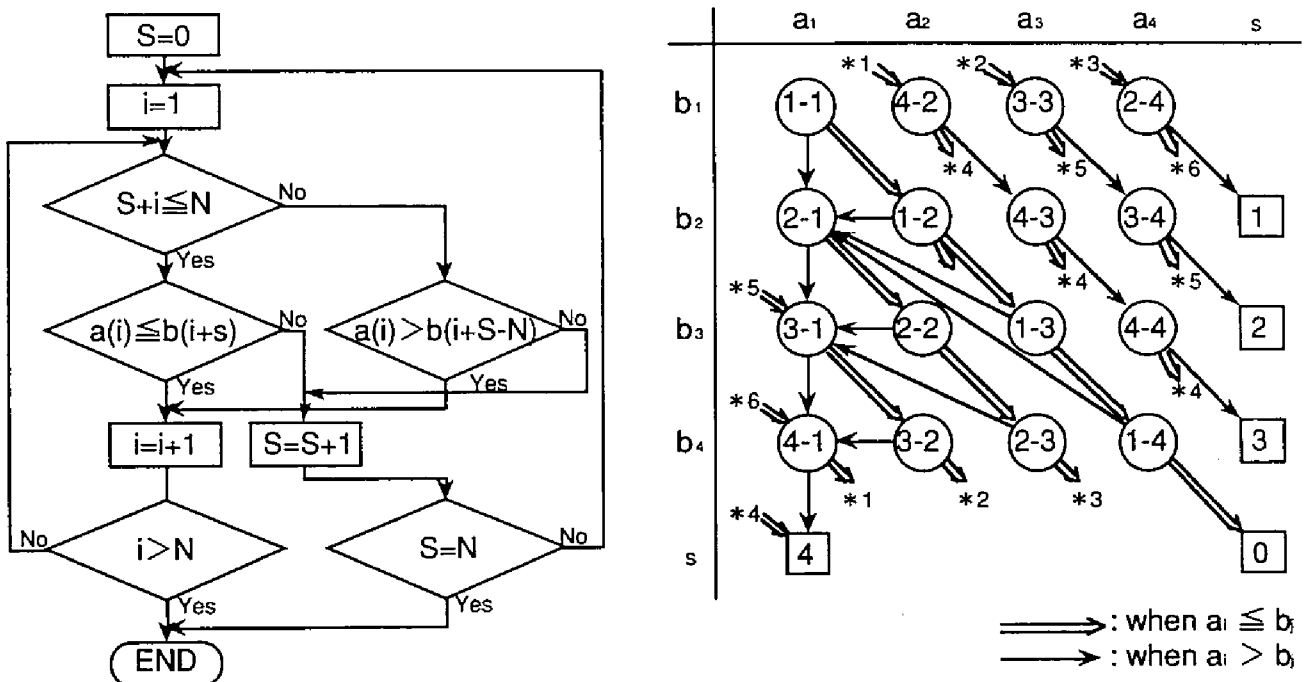


図4-6 複数組の解を見つけるためのアルゴリズム

Fig.4-6 An algorithm for searching all timeslot conversions

(5) 1組の解を見いだすためのアルゴリズム

1個のT-SWでNタイムスロットの接続を行う方法では内部ふくそう率の低減効果はないため、1組の解のみを見いだせばよい。図4-6のアルゴリズムに従うことも可能であるが、大小比較のシーケンスを工夫することにより、より少ない比較回数で解を見いだすことができる。図4-7にフローチャートと大小比較のシーケンスを示す。図4-7のシーケンスで求めた時間順序を保存するスライド数sが、式(1)を満足することは容易に検証し得るため省く。図4-6のアルゴリズムがNオーダーの比較回数を必要とするのに対し、図4-7のアルゴリズムでは、タイムスロット配置によらず常にN回の比較でよく、時間順序を保存するための処理量を軽減できる。図4-7のアルゴリズムを使用した

ときの処理量は、64 kb/s呼の呼処理の約1%であり（T-SW 2段、N=4 のとき）、Nが大きい場合でも負担とならない。

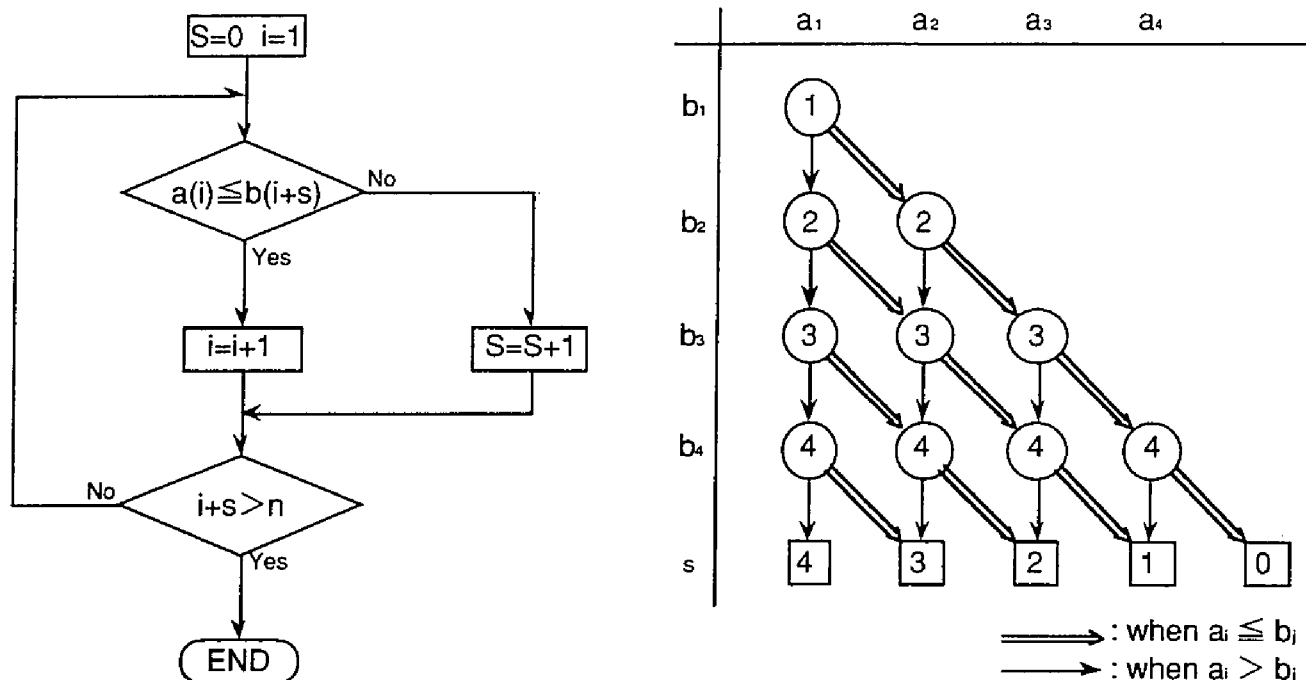


図4-7 1組の解を見つけるためのアルゴリズム

Fig.4-7 An algorithm for searching single solution.

4. 4 内部ふくそう率の低減化

マルチスロット接続を行うための通話路制御法には、Nタイムスロットを1個のT-SWのみを使用して接続する方法と、複数のT-SWを使用する場合がある。複数のT-SWの使用を許す場合には、1組のタイムスロット変換のみが時間順序を保存するときの内部ふくそう率に比べ、複数組のタイムスロット変換が時間順序を保存するときの内部ふくそう率は低くなる。図4-8に例を示す。図はSTS通話路の例であり、図示したような通話路の空塞状態では、1通りの変換 ($a_i \rightarrow b_i$) のみが順序を保存するときには内部ふくそうとなるが、2通りの変換 ($a_i \rightarrow b_i$ と $a_i \rightarrow b_{i+1}$) が時間順序を保存するときには接続可能となる。複数のタイムスロット変換組を考慮することにより内部ふくそう率を低減し得る通話路構成には、STS構成のほか図4-9に示すような、No.4 EES [4-4] で採用されているコリレータ付きのTST構成や、D70システム [4-5] 等に見られるような集線装置で分配通話路へ向う回線群が分割され複数のT-SWに分散収容されるTST構成がある。以下では、構成の比較的簡明なSTS 3段スイッチを対象に、具体的に内部ふくそう率の低減効果を評価する。

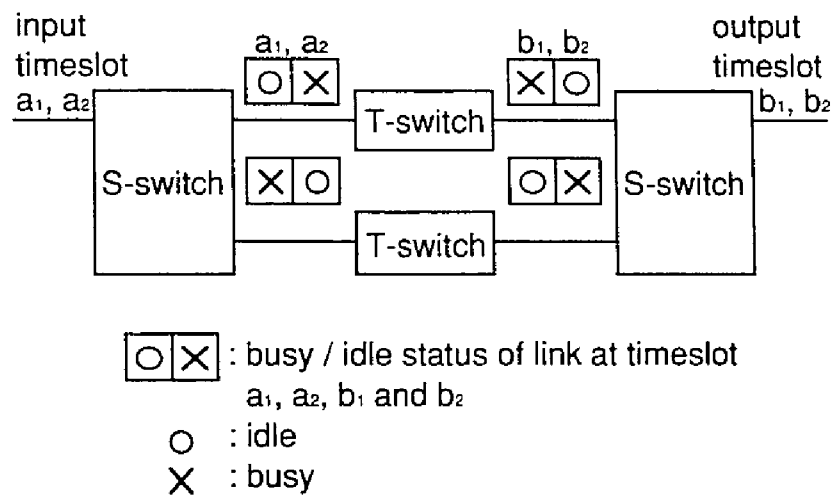


図4-8 複数組のタイムスロット変換による内部ふくそう率の低減
Fig.4-8 Improved internal blocking probability by multiple timeslot conversions.

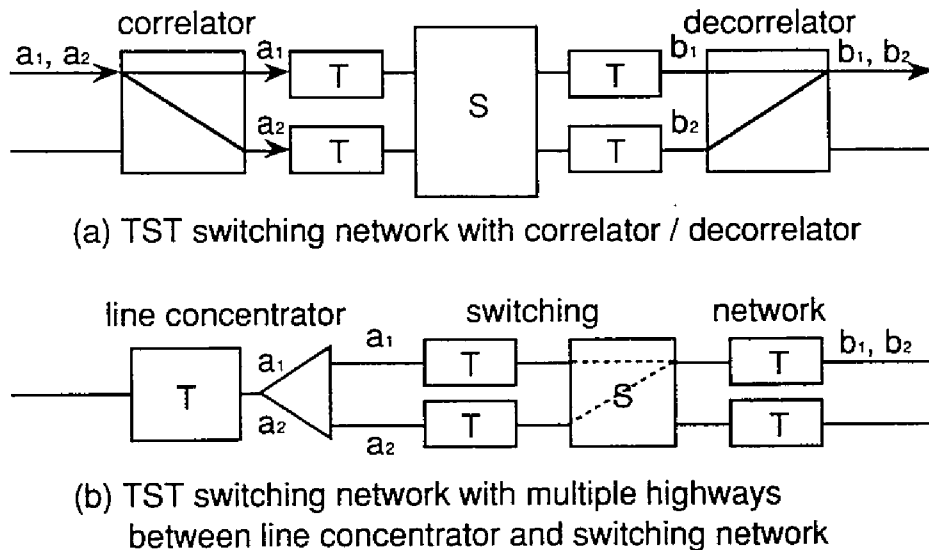


図4-9 内部ふくそう率を低減なTST通話路の例
Fig.4-9 Examples of TST switching network

4. 4. 1 定式化

対象とする通話路構成を図4-10に示す。図中 m は s スイッチのマトリクスサイズを、 $a_i \cdot b_i$ はそれぞれ入力と出力のタイムスロット番号を意味する。また、評価に当っては以下の条件をおく。

- (1) タイムスロット配置：ランダム
- (2) 空タイムスロット選択法：ランダム選択
- (3) 空タイムスロット選択領域：完全多元
- (4) 速度種別：2種類

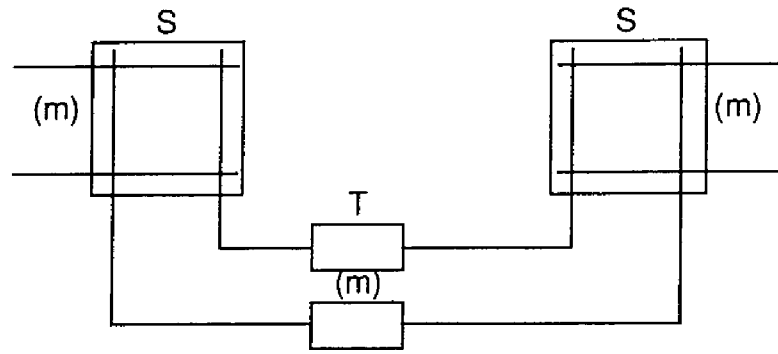


図 4 - 10 STS通話例
Fig.4-10 STS switching network

まず基本速呼の着信接続内部ふくそう率 B_0 はJacobauesの式 [4 - 6] で与えられる。

$$B_0 = \sum_{i=0}^m \cdot \sum_{j=0}^m f_1(i) \cdot f_2(j) \frac{m-i C_j}{m C_j} \quad (6)$$

但し、 $f_1(i) \cdot f_2(j)$ はそれぞれ空線数が $i \cdot j$ となる、タイムスロット番号 $a_1 \cdot b_2$ における1次リンク・2次リンクの同時接続数分布を意味する。

また、高速呼については、1組のタイムスロット変換（例えば $s=s_0$ ）のみを考慮するときの内部ふくそう率 B_N' は式（6）を多元に拡張して得られる。

$$B_N' = \sum_{i_1=0}^m \cdot \sum_{i_N=0}^m \cdot \sum_{j_1=0}^m \cdot \sum_{j_N=0}^m \{ f_1(i_1, \dots, i_N) \cdot f_2(j_1, \dots, j_N) \cdot R_{s_0}(i_1, \dots, j_N) \} \quad (7)$$

$$R_1(i_1, \dots, j_N) = 1 - \prod_{x=1}^N \{ 1 - r(i_x, j_{x+1}) \} \quad (8)$$

$$r(i, j) = \frac{m-i C_j}{m C_j} \quad (9)$$

k 組のタイムスロット変換が順序を保存するときの内部ふくそう率 B_N^k は次式となる。

$$B_N^k = \sum_{i_1=0}^m \cdot \sum_{i_N=0}^m \cdot \sum_{j_1=0}^m \cdot \sum_{j_N=0}^m \{ f_1(i_1, \dots, i_N) \cdot f_2(j_1, \dots, j_N) \cdot A_N^k \} \quad (10)$$

$$A_N^k = R_{s1}(i_1, \dots, j_N) \cdots R_{sk}(i_1, \dots, j_N) \quad (11)$$

但し、 s_1, s_2, \dots, s_k は順序を保存する k 組のタイムスロット変換のスライド数である。式(8)および式(9)から、

$$0 < R_s(i_1, \dots, j_N) < 1 \quad (12)$$

であることがわかる。従って、

$$B_N^{k+1} < B_N^k \quad (13)$$

となり、順序を保存するタイムスロット変換組が多いほど内部ふくそう率は低減する。また、順序を保存するタイムスロット変換組数の分布を $g_N(k)$ とすると総合内部ふくそう率 B_N^T は次式で与えられる。

$$B_N^T = \sum_{K=1}^N g_N(k) B_N^k \quad (14)$$

4. 4. 2 時間順序を保存するタイムスロット変換組数の分布

時間順序を保存するタイムスロット変換の数は、時間スイッチの入力と出力のタイムスロット番号で決り、集中配置では1組 ($s=0$)、周期配置では常に N 組 ($s=0, 1, \dots, N-1$)、ランダム配置ではタイムスロット番号により $1 \sim N$ 組となる。以下では、ランダム配置における時間順序を保存するタイムスロット変換組数の分布を求める。

式(1)が a_i と b_i の大小関係のみを規定しているため、入力タイムスロット番号 a_i が与えられたときに、タイムスロット a_i で分割された N 個の領域に対して、出力タイムスロット b_i がどの領域を占有するかによって順序を保存するタイムスロット変換組の数が決る。 $N=2$ の例を図4-11に示す。従って、このような組み合わせの数を数え上げることににより、タイムスロット変換数の分布を得ることができる。例えば $N=2$ の場合に1組のタイムスロット変換のみが順序を保存する確率 $g_2(1)$ は以下ようになる。

$$g_2(1) = \frac{\sum_{n=1}^{M-1} (nC_2 + M - nC_2)}{(MC_2)^2} \cdot \frac{M}{2} = \frac{2(M-2)}{3(M-1)} \quad (15)$$

但し、 M は時分割多重度を意味する。同様の方法で異なる N について求めた結果を図4-12に示す。図示するように N が大きくなるにつれ、1組のタイムスロット変換のみが順序を保存する確率は急激に低下し、複数組の場合の比率が大きくなる。また、多重度との関係は図4-13に示すように、多重度が大きいと一定の分布に漸近し、一般の時分割通

話路の多重度（1 2 8～4 0 9 6）では一定値となると考えてよい。

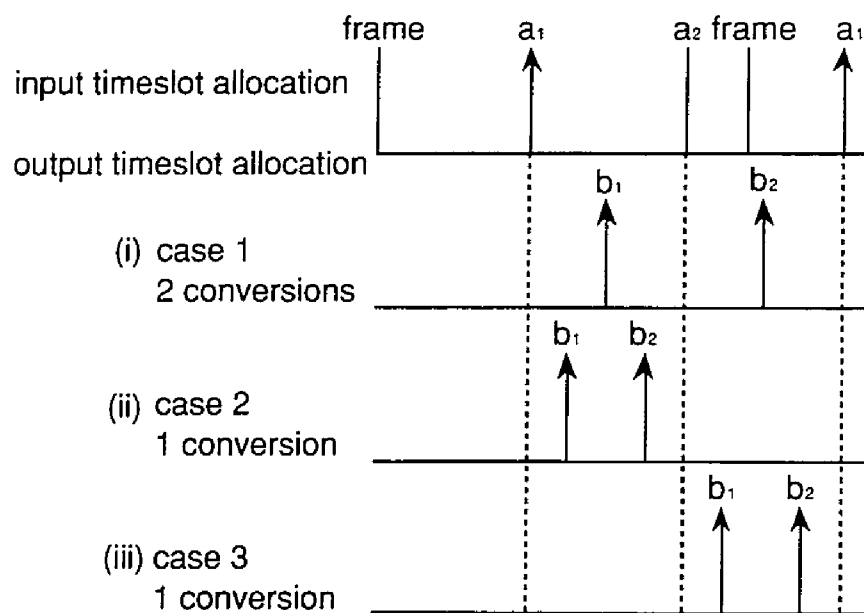


図 4-11 タイムスロット配置と順序を保存するタイムスロット変換組数
Fig.4-11 Number of timeslot conversions determined by input / output timeslot allocation

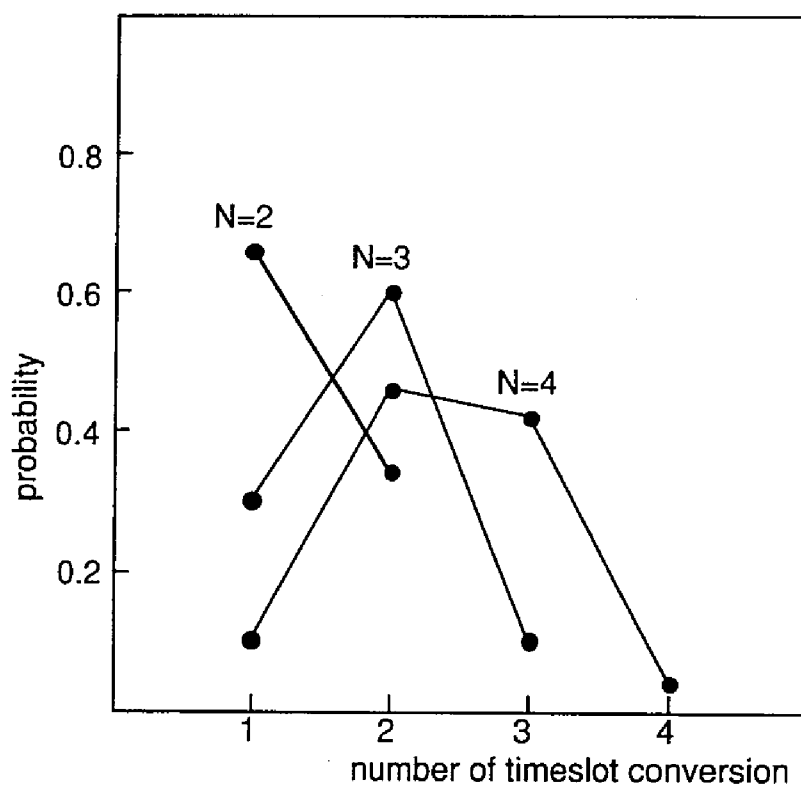


図 4-12 時間順序を保存するタイムスロット変換組数の分布 (パラメータN)
Fig.4-12 Probability of number of timeslot conversion (parameter N).

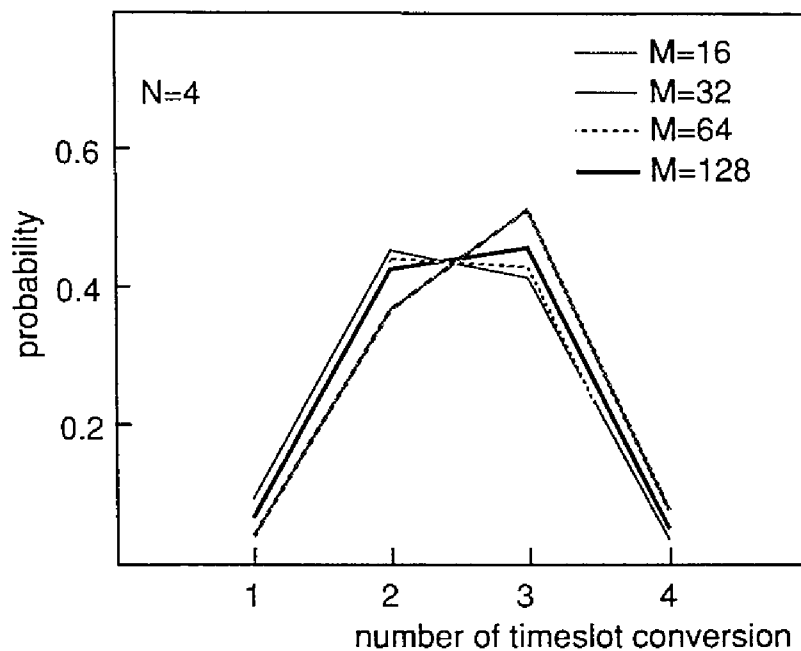


図4-13 時間順序を保存するタイムスロット変換組数の分布 (パラメータM)
Fig.4-13 Probability of number of timeslot conversion (parameter M).

4. 4. 3 内部ふくそう率の低減効果

数値計算による内部ふくそう率の評価例を図4-14に示す。複数組のタイムスロット変換を考慮することにより (B_N^T)、考慮しない場合 (B_N^I) に比べ、内部ふくそう率が向上することがわかる。逆に内部ふくそう率を一定にすると通話路のトラヒック容量が増大する。例えば、着信接続の内部ふくそう率を2/100以下とすると、 $N=3$ の場合、1組のタイムスロット変換のみを対象とする従来の方法ではリンク能率が0.38であるのに対し、ここで提案したように複数組のタイムスロット変換を考慮することにより、トラヒック容量を15%程度増大させることが可能になる。

この内部ふくそう率の低減効果は、 $N=2$ ならびに $N=3$ の場合を比べればわかるように、速度比 N と相関を持ち、 N が大きいほど効果が顕著となる。これは次のように解釈できる。まず、1組のタイムスロットのみが順序を保存するときの内部ふくそう率 B は、図4-14に示すように、ほかの場合に比べて極めて大きい。また、順序を保存するタイムスロット変換が1組しかない確率 $g_N(1)$ は、図4-12に示すように、 N の増大に伴って著しく低下する。従って、 N が大きいほど内部ふくそう率の低減効果が大きくなる。

従来多元処理を実現する際のトラヒック特性上の問題点として、基本速呼と高速呼の内部ふくそう率が独立にできないため、高速呼の内部ふくそう率は基本速呼に比べ大きくなり、しかも速度比が大きくなるにつれて一層その差が拡大するといった点があった。しかし、ここで提案しているように、マルチスロット情報の順序を保存するタイムスロット変換則は一般には複数組存在し、これを利用して複数個の時間スイッチを使用する高速呼の内部ふくそう率を低減できる。この低減効果は速度比に比例して大きくなるため、上述の

トラヒック特性の問題点を緩和でき、比較的大きな速度比まで多元処理の適用領域を拡張し得る可能性がある。

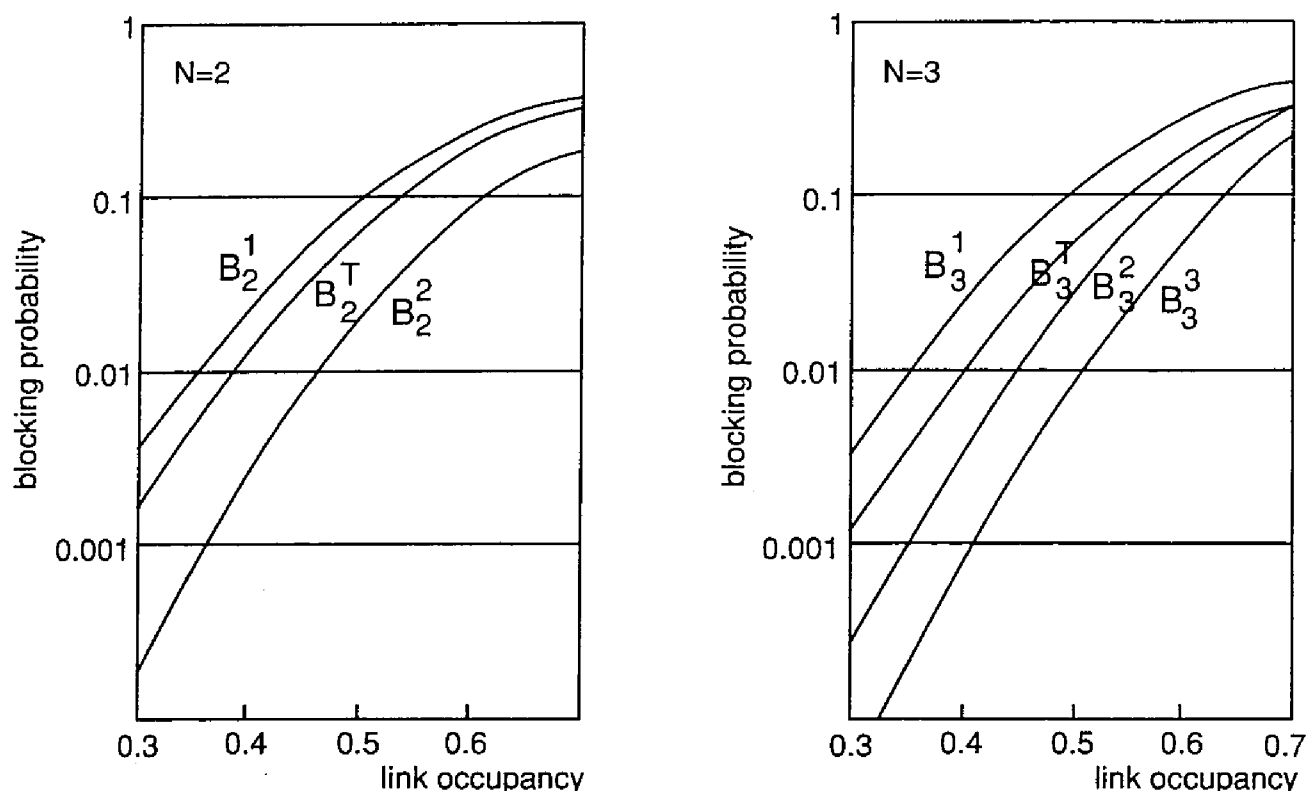


図 4-14 内部ふくそう率の評価例
Fig.4-14 Internal blocking probability.

4. 5 むすび

高速情報のマルチスロット接続を実現するための時間順序保存について述べた。タイムスロット配置がランダムの場合でも、時間順序の保存が可能であることを明らかにし、時間順序を保存するタイムスロット変換則を見いだすためのアルゴリズムを示した。また複数組のタイムスロット変換が時間順序を保存することを利用した、マルチスロット接続の内部ふくそう率の改善法を提案し、小規模なSTS通話路の内部ふくそう率低減効果を評価した。評価結果は、順序を保存するタイムスロット変換組数の分布から、速度比が大きいほどトラヒック特性の改善効果が大きいことを示しており、速度比の増大につれ著しく特性の劣化する多元処理の問題点の改善に役立つことを示している。

文献

- [4-1] 高橋、” $(N \times 64)$ kb/s接続の時間順序保存”、信学論 Vol.69-B, No.10, pp.1038-1045, Oct. 1986

- [4-2] 江川、菊池、高橋、" デジタル網における多元情報 ($N \times 5.4 \text{ kb/s}$) の時間順序保存について"、信学技報、SE80-34 (1980)
- [4-3] 斎藤、荻野、後藤、猪瀬、" 時分割スイッチ回路網における対関係の構成"、信学論、Vol.64-B, No.8, pp.800-807, Aug. 1981
- [4-4] J.H.Huttenhoff, et al., "Peripheral System", Bell Syst. Tech. J., 5,6,7, pp.1029-1055 (1977)
- [4-5] 安井、江川、佐藤、" デジタル加入者線交換機の方式構成"、通研実報、vol.31, No.11, pp.1955-1965 (1982)
- [4-6] C.Jacobaues, "A Study on Cogestion in Link System," Ericsson Tech., vol.48, pp.1-68 (1950)

付録

帰納法による解の存在の証明

(1) $N=2$ のとき

入力タイムスロット番号 a_1, a_2 および出力タイムスロット番号 b_1, b_2 がどのような値をとろうとも、それらの大小関係は次の6通りのいずれかとなる。

$$b_1 < b_2 \leq a_1 < a_2, b_1 \leq a_1 \leq b_2 \leq a_2$$

$$b_1 \leq a_1 < a_2 \leq b_2, a_1 \leq b_1 \leq a_2 \leq b_2$$

$$a_1 \leq b_1 \leq a_2 \leq b_2, a_1 < a_2 \leq b_1 < b_2$$

それぞれの場合について順序を保存するタイムスロット変換が存在することは容易に示し得るので省く。

(2) $N=k$ のときに順序保存が可能であるとする、 $N=k+1$ のときに a_1 と b_{k+1} を除いた k 個のタイムスロット間には順序を保存するタイムスロット変換が必ず存在し、その変換のスライド数を s とすると、次の関係が成立っている。

$$a_{i+1} \leq b_{i+s} \quad i=1,2,\dots,k-s$$

$$a_{i+1} > b_{i+s-k} \quad i=k-s+1,\dots,k$$

これに a_1 と b_{k+1} を加えた $(k+1)$ 個のタイムスロット間には、次の関係が成り立つ。

$$a_i < a_{i+1} \leq b_{i+s-k} \quad i=1,2,\dots,(k+1)-s$$

$$a_i > b_{s+i-(k+1)} \quad i=(k+1)-s+1,\dots,k+1$$

従って $N=k+1$ のときも順序を保存するタイムスロット変換が必ず存在する。

(証明終)

第5章 ATM交換システムの構成法

5.1 ATM交換のねらい

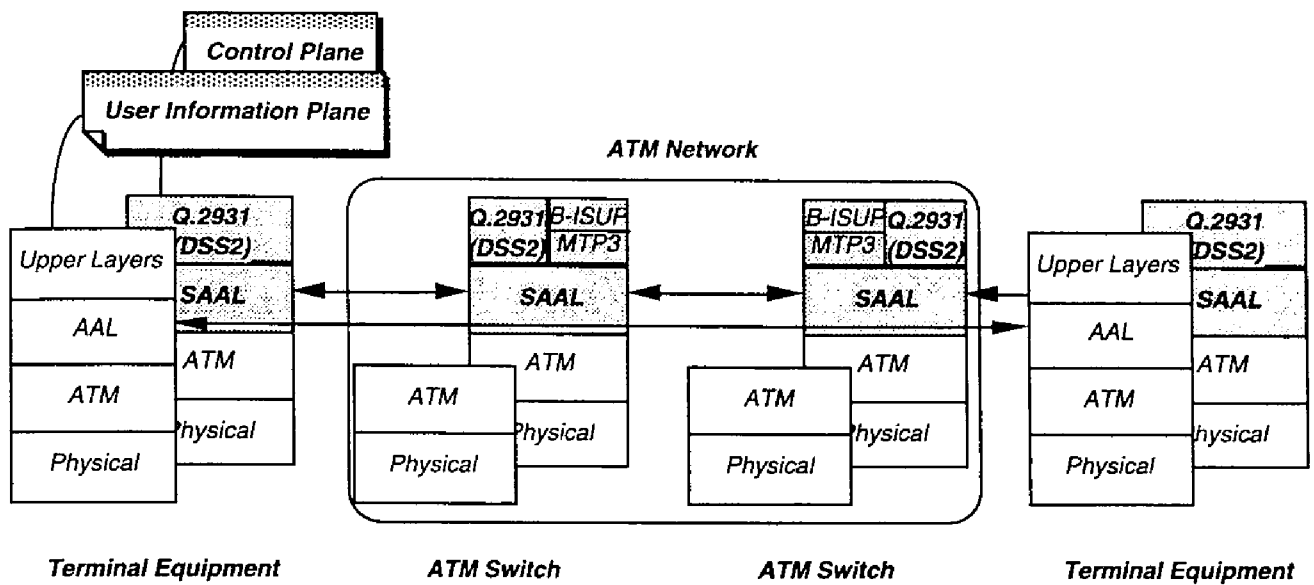
5.1.1 ATM交換の歴史

ラベル多重の柔軟性を活かして、マルチメディア情報を転送する研究は、古くはARPANET上での音声通信実験に遡ることができる。コンピュータ通信のネットワークであるARPANETを用いて、符号圧縮された3.5 kb/s程度の音声信号の通信実験が1970年代後半に行われた〔5-1〕。

一方国内でも1970年代末頃に、音声とデータをパケット技術により統合する試みが盛んに研究された。1.5 Mb/sの伝送速度を持つシステムの試作実験が行われた。筆者らの研究では〔5-2〕、固定長パケットの使用や、ハードウェアによる自己ルーティングスイッチング等の現在のATM交換の特徴的な技術が提案されている。また、Pierceリングと呼ばれる、固定長パケットを用いたリング網も提案されている〔5-3〕。1.5 Mb/sの伝送路を環状に設置し、音声とデータ通信を統合的に扱う。

上述の1980年代前半までの研究は基礎的基盤的研究の色彩が強い。仏CNETのPrelude実験システム〔5-4〕やAT&Tによるサンフランシスコ湾岸地域における高速パケット現場試験〔5-5〕を通じて、ATM技術のフィージビリティが検証されてから、1980年代後半からは実用システムを目指した研究開発となった。通信の国際標準化機関であるCCITT（現ITU-T）でも、1984年から始まった第X会期からB-ISDNが主要な研究課題として取り上げられている。

ATMの標準化は、通信の国際標準化機関であるITU-Tを中心として、ATMフォーラム、ISO、IETF等が行っている。ITU-Tでは1984年以降、B-ISDNを重要課題のひとつとして取り上げている。B-ISDNに必要なチャネル速度およびユーザ・網インタフェースに対する要求条件を考慮に入れた同期デジタルハイアラキ（SDH:Synchronous Digital Hierarchy）、セルフォーマットを含むATMレイヤ機能、セルの組立・分解などを行うATMアダプテーションレイヤ機能などがATMの基本的な仕様として勧告化されている。図5-1にATMのプロトコル構造を示す。図5-2にセルフォーマットを示すように、ATMセルは53バイトの固定長で、48バイトのペイロードと5バイトのヘッダからなる。表5-1はベアラサービス種別を示してあり、音声等の固定速度通信、可変速度映像・音声、コネクション型データ、コネクションレスデータ等の通信種別によってベアラサービスを使い分ける。固定速度通信（CBR）、データ通信の可変速度通信（ABR）の標準化に続き、可変速度符号化音声・画像サービスに対応したVBRサービスの規定、あるいは1対N交換や複数グレードのサービス品質、分配型／放送型サービスの標準化へと進んでいる。



DSS2: Digital Subscriber Signalling System No.2

図 5-1 ATMのプロトコル構造
Fig.5-1 Protocol stack in ATM networks

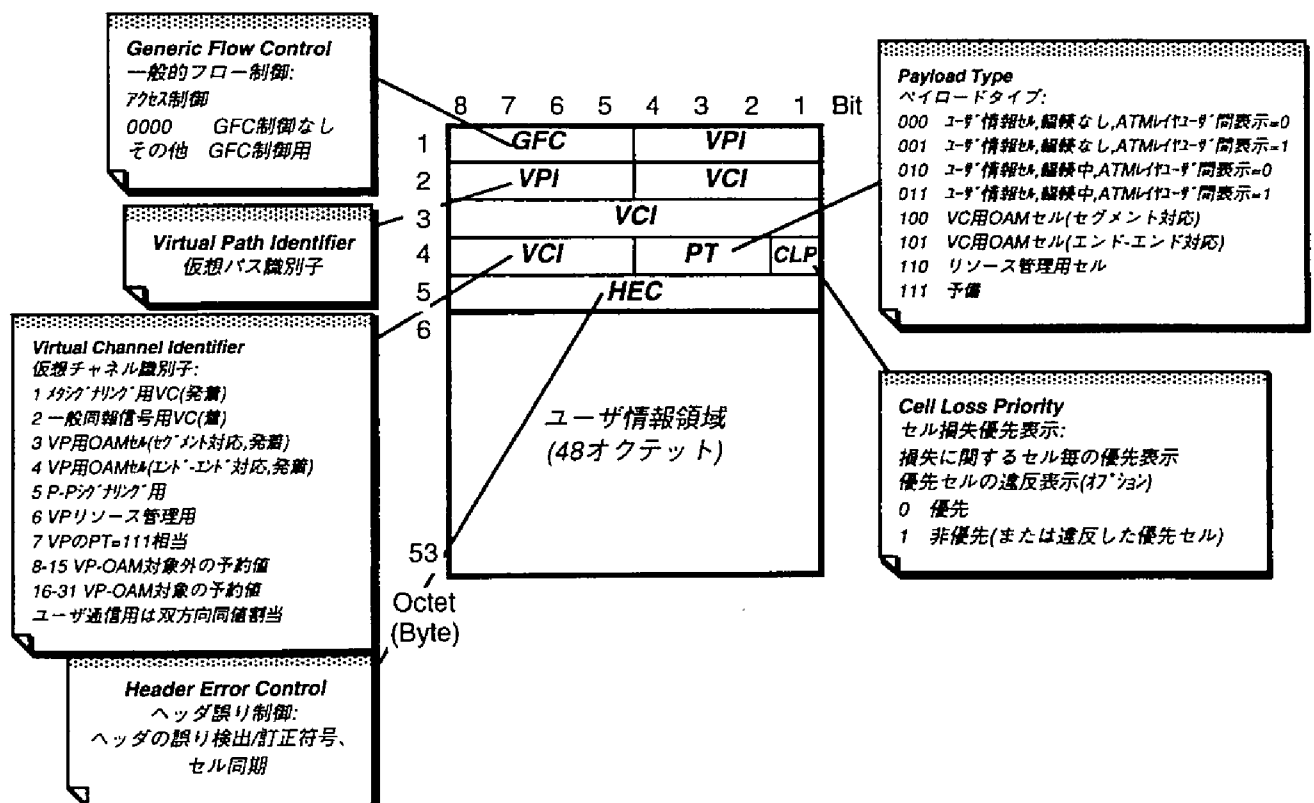
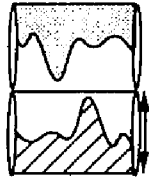
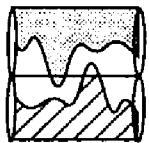



図 5-2 ATMのセルフォーマット (UNI)
Fig.5-2 UNI cell format

表 5-1 ベアラサービス種別

具体的 アプリケーション	固定速度 音声、画像 データ					可変速度 音声、画像 データ					データ				
ATMフォーラムで 規定する サービスカテゴリ	CBR					rt-VBR (Real Time)					nrt-VBR (Non-Real Time)				
ITU-Tで規定する ATMトランスファ ー能力（ATC）	DBR					SBR					ABR				
															
CBR: Constant Bit Rate VBR: Variable Bit Rate UBR: Unspecified Bit Rate ABR: Available Bit Rate	ピークセレートで 帯域を積み上げる					ピーク以外の特性を加味して 帯域を積み上げる					申告値をもとにした 帯域積み上げをしない				
DBR: Deterministic Bit Rate SBR: Statistical Bit Rate ABT: ATM Block Transfer	固定速度情報 あるいは ピークのみ既知で 品質の保証を 要求する情報					ピーク以外の特性が既知で 品質の保証を要求する情報					特性が未知で 品質の保証を要求しない インターネット情報				
											動的に空き帯域を 共用する				
											動的送出制御可能で 損失よりも 遅延を許容する情報				

一方、1990年代に入り世界的にもATM技術が単に電気通信インフラへの適用でなく次世代のローカルエリアネットワーク(LAN)を含むコンピュータ通信、あるいはマルチメディアサービス展開のための基盤技術として認識されはじめた。このような認識の中から、単に電気通信分野の中だけでの標準化だけでなく広くユーザ、あるいはコンピュータベンダを含めた実装標準化の動きが出てきた。これが、北米を中心に設立されたATMフォーラムである。ATMフォーラムには通信キャリア、通信機器ベンダのほか、コンピュータベンダ、半導体ベンダ等が幅広く参加し、相互運用性の高いATM実装標準を策定し、ATM製品とサービス普及促進を図ることである。ATMフォーラムでは、公衆網/私設網、通信/アプリケーションインタフェース等のATMに関わる幅広い分野の仕様を規定している〔5-6〕。

ATMの利用法として、高速コンピュータ通信とマルチメディア通信がある。高速コンピュータ通信は、ATMの高速性を活かした最初のターゲットアプリケーションと考えられており、各種の試行実験を経て実利用を目的としたATMシステムの導入が開始されている。一方、マルチメディア通信はATMの各種メディアを柔軟に扱える特性を活かし、高速コンピュータ通信に続く有力な利用方法と考えられる。

ATMの高速コンピュータ間通信への利用が積極的に進められており、アメリカや日本を中心として試行実験の段階から実用段階へと移っている。EthernetやFDDIに続く世代のLANとしてATM LANの導入が、キャンパスネットワークや一部先進

的な企業ユーザで進んでいる。日本の大学間ネットワークの例として学術情報ネットワークが挙げられる。学術情報ネットワーク〔5－7〕は全国約300の大学や研究機関に対して、1987年1月からX.25パケット通信を、1992年4月からインタネットバックボーン（SINET）サービスを提供／運用している。さらなる高速化と柔軟なネットワーキングの要請に応えるため、学術情報ネットワークのATM化が進められ、1994年9月からATMによるSINETの運用が開始され、1996年にはバックボーンを更に高速なものにアップグレードされている。図5－3はATMによるSINETの構成であり、全国29のSINETノードにATM装置が導入される。主要ノード間は物理的にはリング構成で接続され、高信頼化を図っている。一方、既存LANやATM LANの導入につれ、LAN間相互間を高速で安価に接続したい要求が強まっており、LAN間接続を主要なサービス対象とした公衆網システム用のATM交換機の開発も進められている。図5－4に示すシステムは、筆者が開発に加わったAHMと呼ばれる公衆網用のATM交換機で、10Gb/s程度のスループットを持ち、バースト的な情報を効率的に多重化制御するために、リアルタイムのトラヒック観測機能を有している〔5－8〕〔5－9〕。

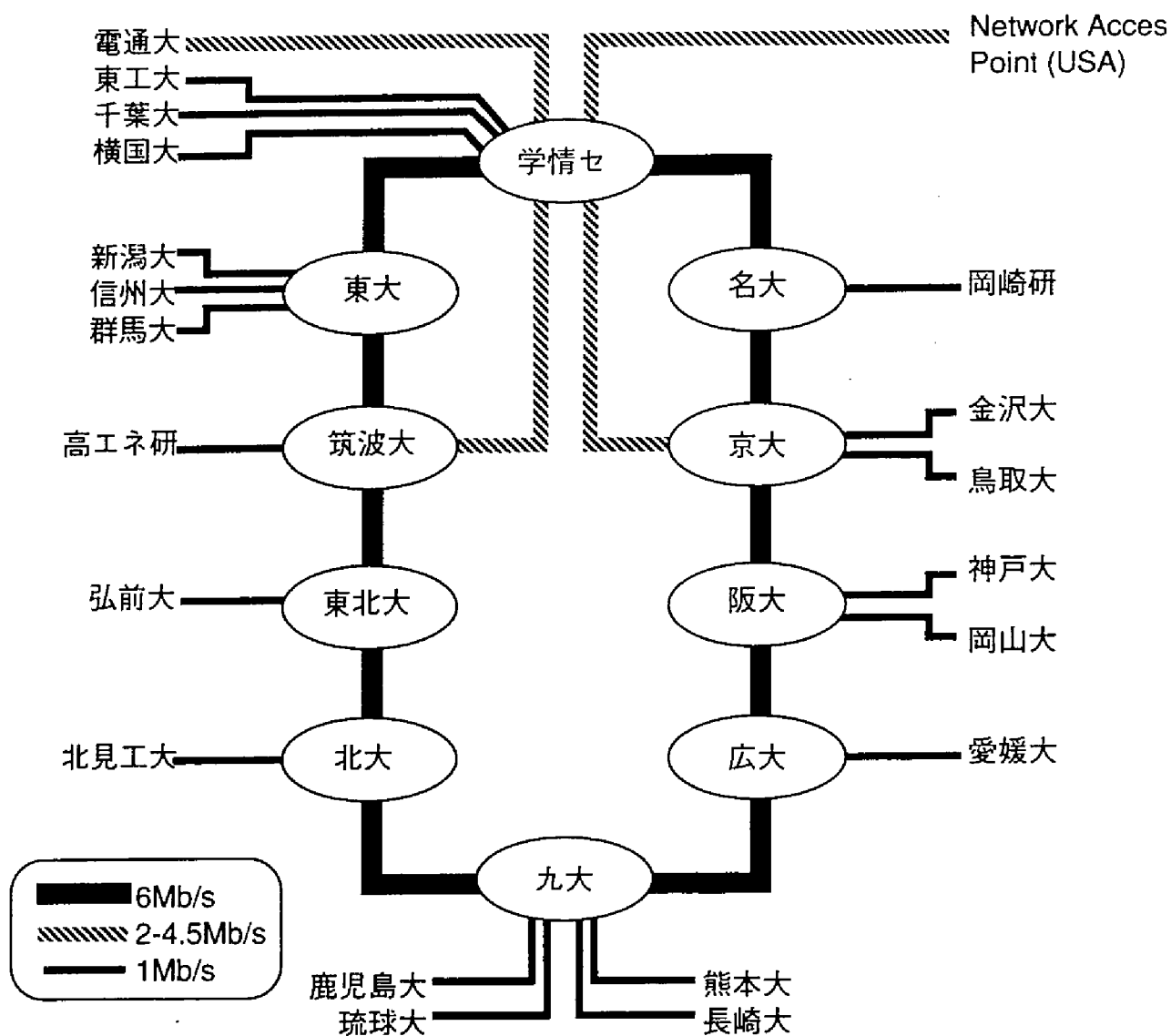


図 5-3 SINET の構成
Fig.5-3 Configuration of SINET

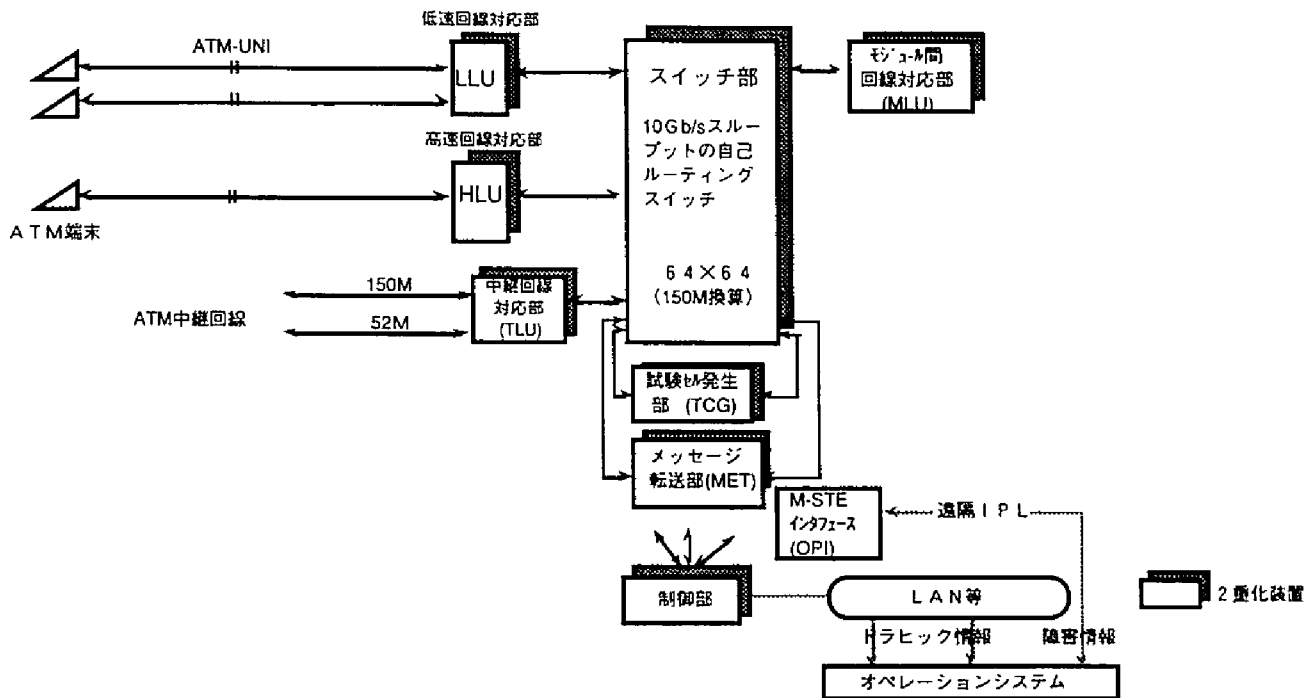


図 5-4 公衆用 ATM 交換機 (AHM) の構成
Fig. 5-4 Architecture of AHM

昨今の新聞やテレビ番組でよく取り上げられているように、マルチメディアへの社会的な関心が急速に高まっている。コンピュータ技術と通信技術としての ATM がマルチメディア実現する技術的な原動力である。マルチメディアについては、実現技術はもとより、サービスや使い方を含めたソフト的なアプローチが重要であり、現在各種の利用実験が実施／計画されている。国内の代表的な例としては、次世代通信網利用高度化協会が行っている BBC 実験がある。BBC では関西地区において、マルチメディア通信販売、電子編集・印刷、CG による住宅設計などさまざまなマルチメディアアプリケーションの利用実験がすすめられている。また、NTT も従来の NTT 研究所内での VI & P 総合実験に加えて、大学・企業などの社外ユーザと共同で、マルチメディアの利用実験やビデオオンデマンドサービスなどの利用実験を進める計画である。全国規模の ATM バックボーンネットワークを構築し、1995 年 9 月から共同利用実験が開始されている。

5. 1. 2 ATM 交換のねらい

5. 1. 2. 1 ATM の特徴とねらい

ATM のラベル多重は STM の時間位置多重に比べて、図 5-5 に示す特徴を持つ。第一の点は、固定長セルですべての通信が行われ、通信速度の違いはセル到着数の違いという形で現れ、各通信速度固有のハードウェアを必要としないため、さまざまな速度の通信を統一的に扱うことができる。第 2 の点は、品質や網の多重化効率をソフトウェア制御で自由に設定できる点である。回線交換では通信毎に網リソースを割当て、通信スループット

や品質を確定的に保証する確定多重がとられており、一方パケット交換では、複数の通信で帯域を共用し、統計的にスループットや品質を満足しつつ、バースト的な情報を効率的に多重化する統計多重が取られている。ATMでは同一ハードウェアのもとで、コネクション受付制御（CAC;Connection Admission Control）等のソフトウェアにより、どちらの性格を持たせることも可能である。そのため、性格の異なる複数の論理網を同一物理網の上に実現して、対象サービスに応じて各種の品質クラスを提供したり、性格の異なる網を統合することが可能である。以上述べた2つの特徴により、各種の個別サービスノードをATMノードで統合できる可能性がある。

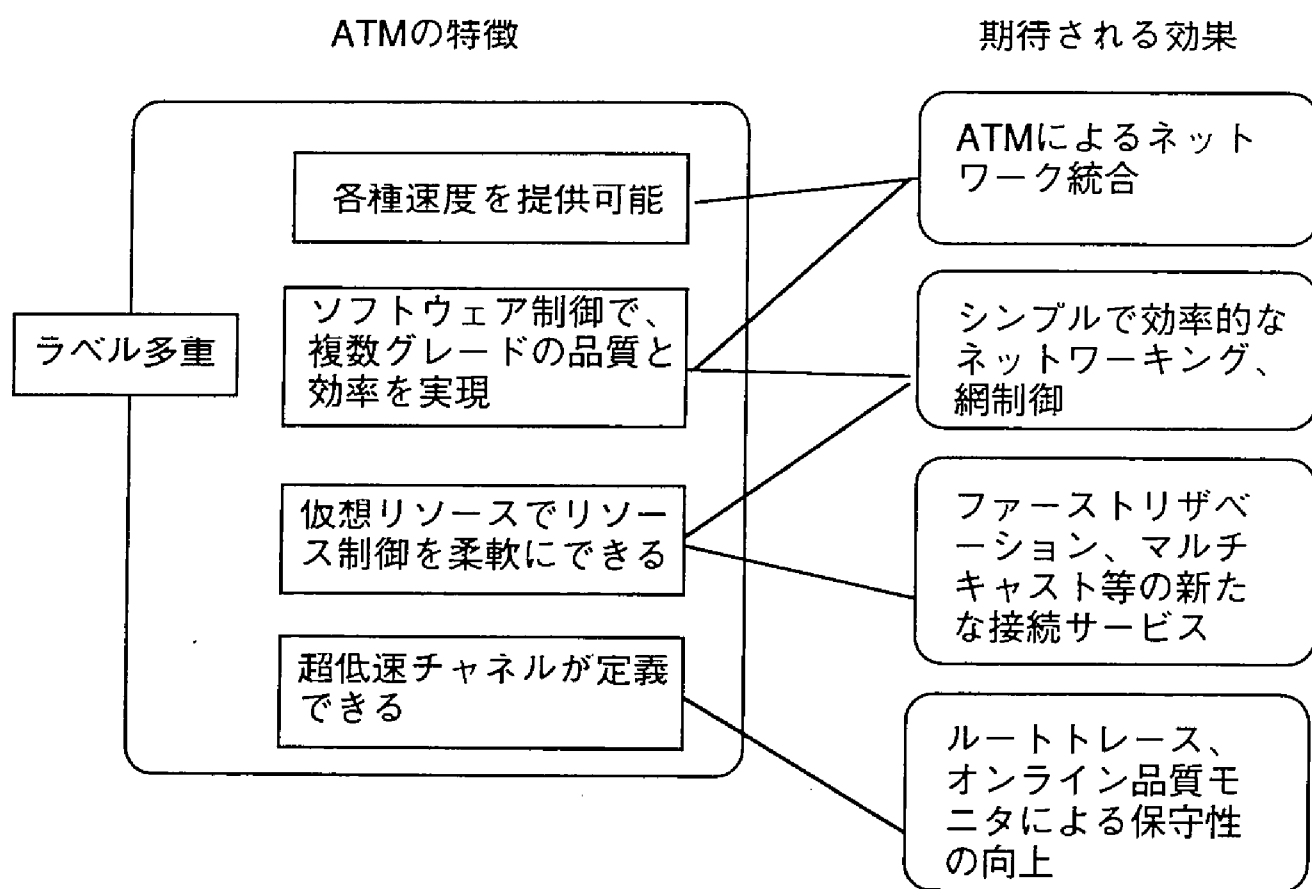


図 5-5 ATM技術の特徴
Fig 5-5 ATM benefit

第3には、接続処理とリソース割当が独立であり（仮想リソース）、リソース割当のみを高速かつ柔軟に行うことが可能である。例えば、ファーストリソースリザベーションやパス帯域制御による網制御の実現が容易となる。

第4には、同一伝送路上で定義可能な速度のダイナミックレンジが広いため、保守用のセルを柔軟に設定可能である。SDHでは、パス単位にオーバーヘッドチャンネルを定義できるため、PDH(Plesiochronous Digital Hierarchy)に比べて保守性が向上している。ATMでは極めて低速なOAM(Operation And Maintenance)セルをVC毎に用いて、オンラインでの品質モ

ニタやルートトレース等の保守機能の向上を図ることが可能である。

5. 1. 2. 1 ATMノードの適用シナリオ

ATMは前章で述べたようにさまざまな情報を扱う潜在的な能力がある。一方システムの実現に当たっては、適用対象毎に要求条件が大きく異なるため、適用対象の明確化が必要である〔5－9〕。

表5－2は公衆網に於けるATMノードシステムの適用対象とノードへの要求条件を示している。高速データ通信は接続対象が限定されるため、PVC (Permanent Virtual Channel) 接続でよいが、バースト性が高い通信を効率よく扱う技術が必要である。また、当面は高速データのトラヒック規模はそれほど大きくないため、低速な伝送路の収容や、小規模で経済的なシステムの実現が必要である。また、高速データ通信を扱う機能は、保守の高度化やI N等の新サービスのための網内の高速な通信機構としても適用可能である。第3の適用対象として、音声、データ、映像等のマルチメディア通信が挙げられ、V C交換接続機能や、複数品質の実現機能等が必要となる。第4の適用対象は既存のデジタル網の中継系にATMを適用し、各種サービスの中継網を統合して効率化するものである。5番目の適用対象は家庭までのB-ISDN化である。究極の形態として、現在の電話／N-ISDN加入者がすべて150Mb/sのB-ISDNに置き変わると想定すると、10万加入者を収容するLS交換機が扱う情報量はテラビット／秒に達する。大量の情報を効率よく扱うために、超高速のノードシステムが必要となる。

図5－6はATMの適用シナリオの一例を示している。国際標準化のスケジュールを考慮すると、まずPVCサービスが開始可能となる。高付加価値サービスとしての高速データ通信から出発し、マルチメディア通信へと段階的に展開する考え方がある〔5－10〕。

一方、ATMを現在のアナログ電話やN-ISDNのサービスノードとして実現する考え方がある。最大のネットワークインフラである電話・N-ISDNへのATMの適用により、網のATM化を急速に進展させることができ、B-ISDN通信基盤の整備を加速することができる。

表5-2 ATMの適用対象とノードへの要求条件

	高速 データ	信号/OAM	ビジネス B-ISDN	N-ISDN 中継網	公衆 B-ISDN
トラフィック量 (bit/s/ノード)	$10^8 \sim 10^9$	$<10^8$	$10^8 \sim 10^9$	$10^9 \sim 10^{10}$	$10^{12} \sim 10^{13}$
伝送路速度 (bit/s)	1.5M ~150M	1.5M ~150M	1.5M ~150M	52/150M	150M ~2.4/10G
トラフィック 種別	-burst data	-burst data	-CBR -VBR -burst data	-CBR	-CBR -VBR -burst data
接続種別	PVC	PVC	VC/PVC	VC/PVC	VC/PVC

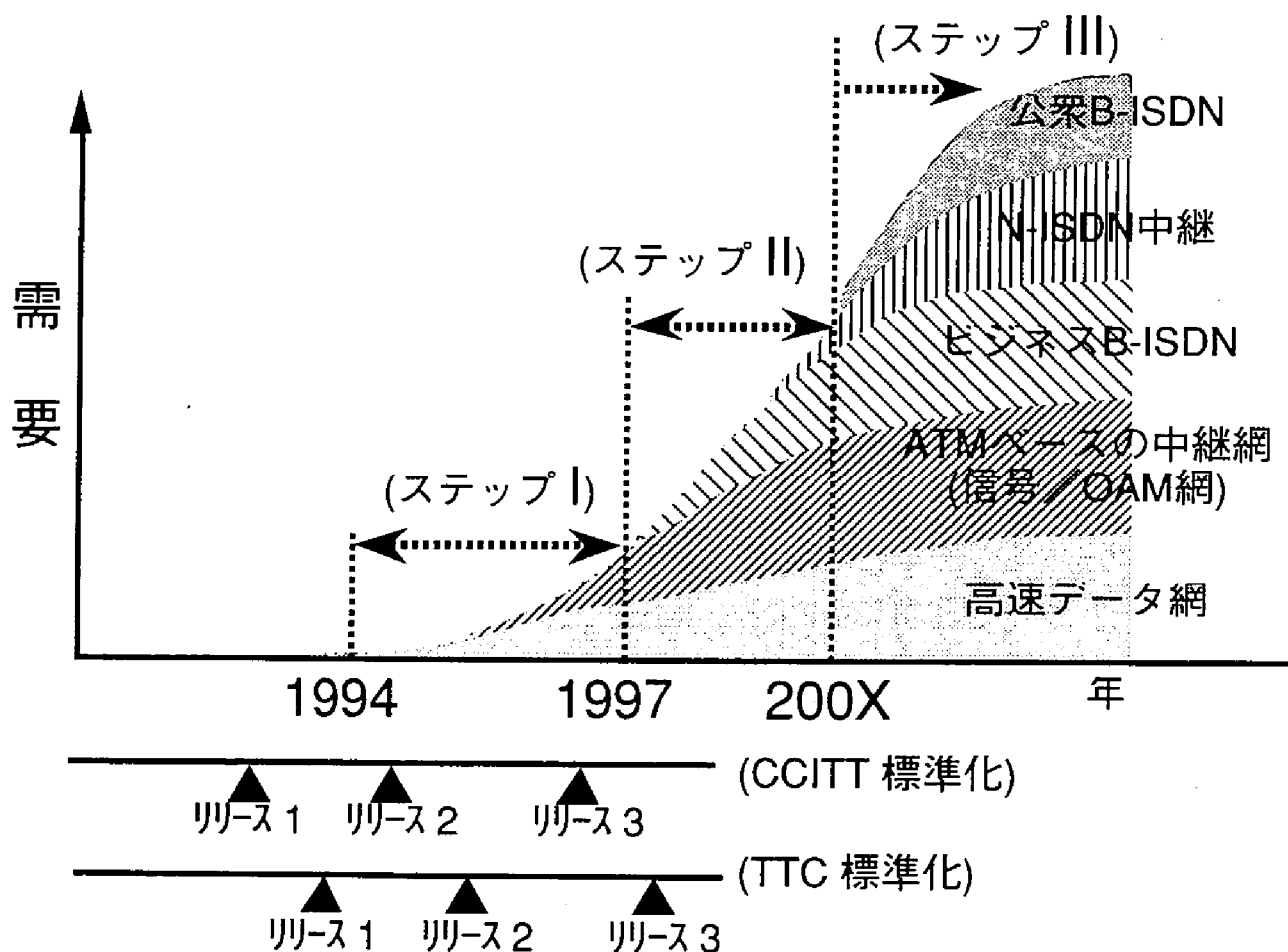


図5-6 ATMの適用シナリオ
Fig. 5-6 An ATM Application scenario

以上述べたように、高付加価値サービスから出発し、次いで既存網をATMに統合することによりB-ISDNの展開を図る適用シナリオが現状では有力と考えている。適用シナリ

オはさまざまな環境条件の変化に柔軟に追従する必要がある、幅広い内容を計画的に研究開発する必要がある。

5. 2 ATM交換機の概要

5. 2. 1 VPI・VCIによる通信チャネルの接続

ユーザ・交換機間、交換機相互間には、図5-7に示すように複数の通信チャネル（VC：Virtual Channel）を設定することが可能である。1本の伝送路上には、VC群のまとまりとしてのVP（VP：Virtual Path）も複数設定することができる。VCやVPの識別はセルヘッダのVPI+VCI、VPIでそれぞれ行われる。VCは端末相互間に設定され、網内の交換機でVPI/VCIが変換される。VPは交換機や端末相互間に設定され、網内のクロスコネクト装置（XC）でVPIが変換される。図に示したVPの使用例では、交換機相互間では、対地（宛先交換機）毎に独立にVPを定義し、XCがVP毎に振り分けることによって、1本のインタフェース上に複数対地の回線情報を多重化することができる。

交換機では入力されたセル情報を所望の伝送路に送出し、情報セルにVPI及びVCIを付与することによって情報の交換動作が行われる。VPIとVCIの付与方法には、アドレス空間をネットワーク全体で定義し、その情報のみで宛先端末の指定まで可能なglobal significanceと呼ばれる方法と、伝送路毎に独立にVPI、VCIを定義するlocal significanceと呼ばれる方法がある。後者ではリンクバイリンクにVPI、VCIの変換が必要であるが、端末や交換機等が増設される際に、隣接ノードのみがそれを知っていればよく新增設に伴う網の管理が容易なため、大規模なネットワークに適している。図の例では、端末はVPIとVCIの付与、交換機はVPIの付与とVCIの変換、XCはVPIの変換を行う。

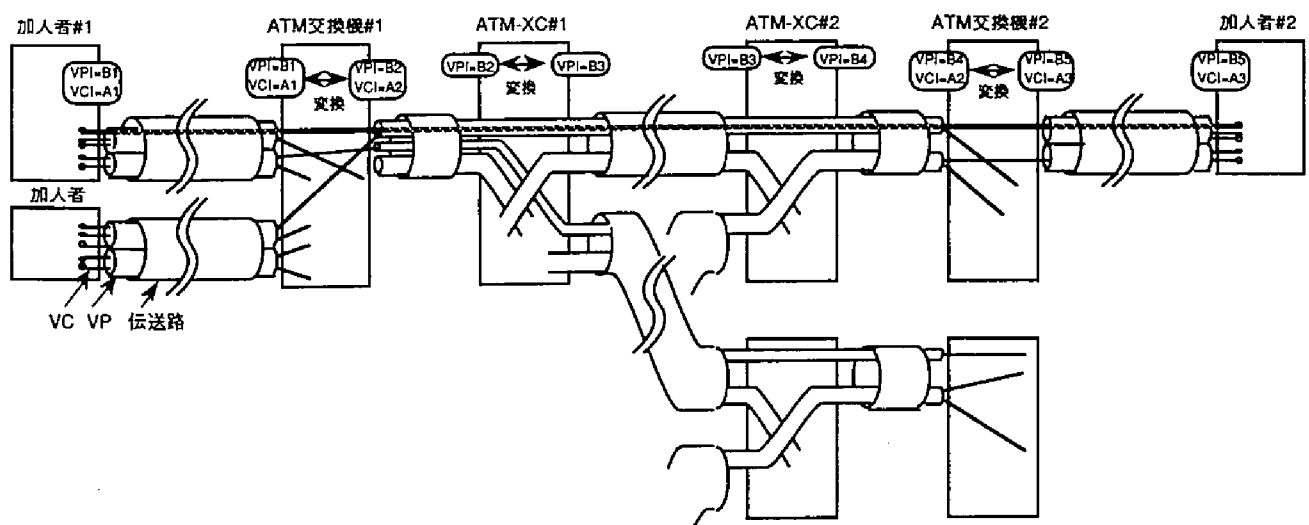


図5-7 VPI/VCIによるATM通信チャネルの接続
Fig.5-7 ATM connections with VPI/VCI

5. 2. 2 A T M交換機の機能

A T M交換機の機能ブロック構成を図5－8に示す。主な構成要素は、加入者線／中継回線対応部、スイッチ、加入者線／中継回線信号処理回路、制御装置である。回線対応部は、他ノードとのインタフェース機能や、ヘッダ変換・トラヒック制御等のセル処理機能を持つ。スイッチはヘッダの内容に従ってセルをルーティングし所望の出力回線に送出する。信号処理部は、加入者や他交換機との間の制御信号のアダプテーションレイヤ及びレイヤ2プロトコルの処理を行い、制御装置はソフトウェア制御により呼設定・開放等の処理を行う。A T M交換機は回線対応部とスイッチに特徴があり、スイッチについては次節で詳述することとし、本節では回線対応部の機能を述べる。

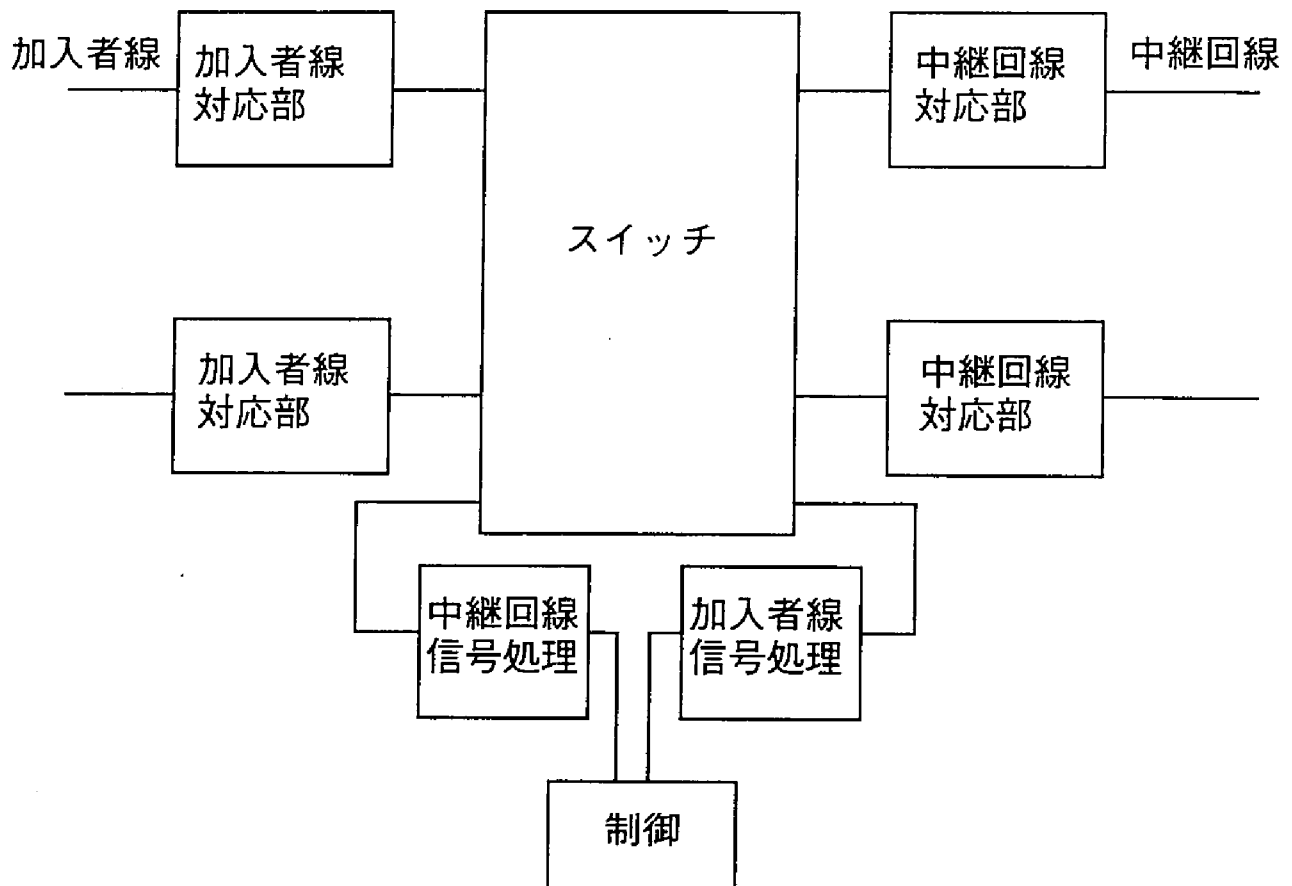
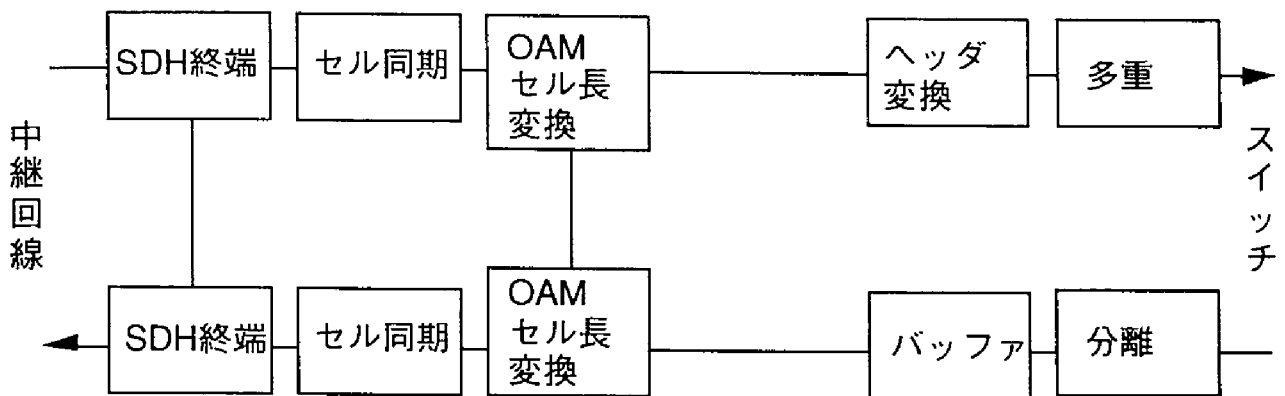
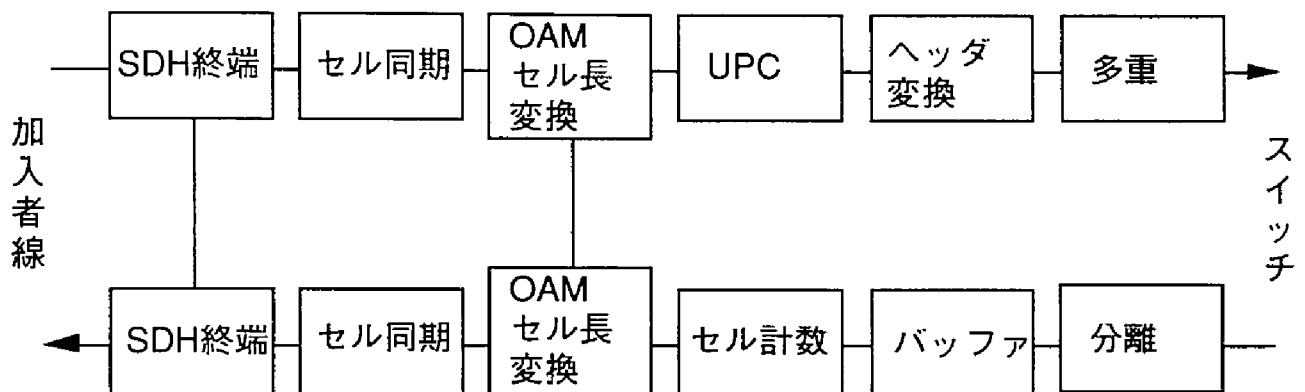


図5－8 A T M交換機の機能ブロック構成
Fig.5-8 ATM switching system configuration

中継回線対応部の機能を図5－9（a）に示す。受信信号に関する主要な機能には、S D H処理、セル同期、O A M、セル長変換、ヘッダ変換、多重化機能がある。送信信号に関する機能には、分離、バッファ、セル長変換、O A M、セル同期、S D H処理がある。加入者線対応部は、図5－9（b）に示すように、中継回線の機能に、受信信号のU P C機能と、送信信号のセル計数機能が追加される。



(a) 中継回線対応部



(b) 加入者線対応部

図5-9 回線対応部の機能

Fig.5-9 Functions of ATM interface circuit

セル長変換は、SDH伝送路上の各種オーバーヘッドビットやHECビットを除去し、交換機内で使用するセルヘッダ領域を確保して、セルフォーマットを変換する。交換機内部では、ATMスイッチのルーティングのためのルーティングタグビットや、バッファでの品質制御のための品質クラス情報が必要となる。交換機内部と伝送路のクロック速度が等しい場合には、交換機内部での単位時間当りセル数がSDH伝送路上のセル数よりも大きいことが必要で、55バイト以下で有れば条件を満たす。54バイト長を選択すると、16ビット並列処理で回路を構成できる利点を持つ。

ヘッダ変換は、受信したセルのVPI、VCIに基づいてテーブルを索引し、図5-10に示すような出力回線の識別情報などをセルヘッダに書き込む。書き込まれた情報は、スイッチのルーティング、分離回路の出力ポート選択、バッファにおけるセルロスプライオリティ等の品質制御に使用される。NNIのVPI、VCIフィールドは合計24ビットで、単純に変換テーブルを構成すると16メガワードの大規模なメモリが必要となる。現状及び近未来のデバイス技術では回路規模の負担が大きいため、同時に設定可能なチャネル数に制限を設け、テーブル規模を圧縮する。

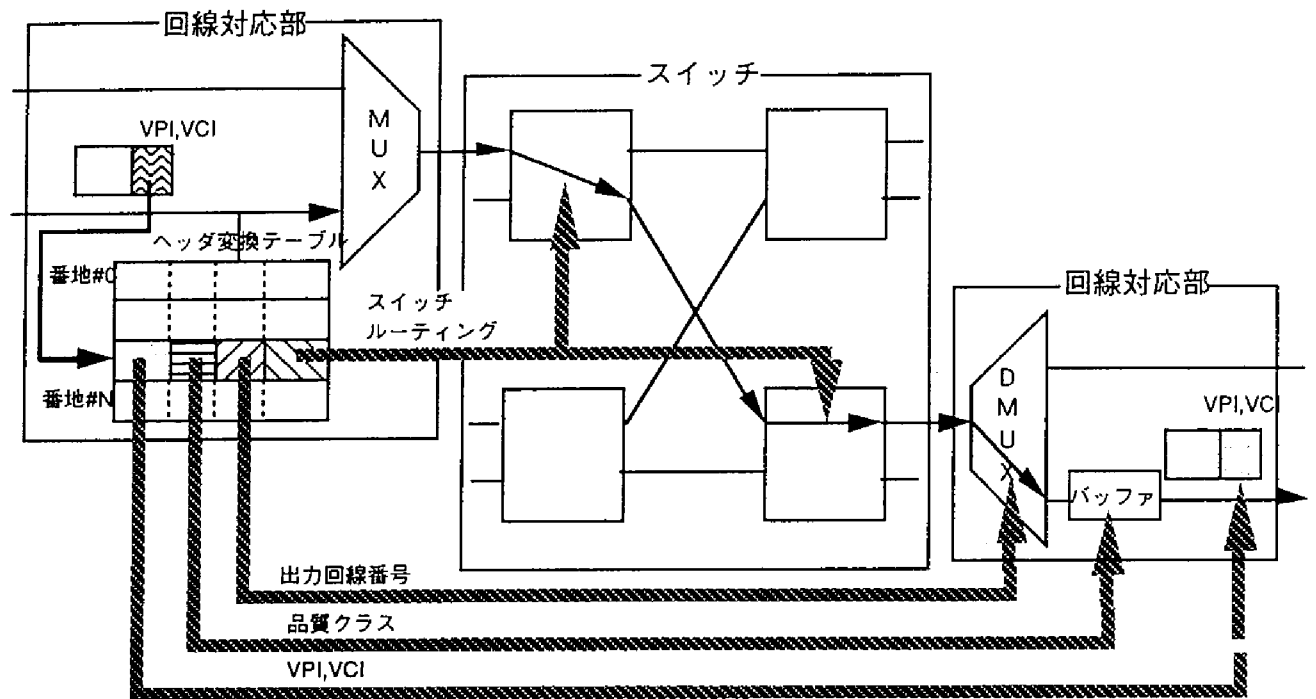


図 5-10 ヘッダ変換機能
Fig.5-10 Header translation function

バッファは、VPまたはVP群単位のトラヒックシェーピング機能、品質クラス制御機能、VP単位のトラヒック観測機能を持つ。複数の品質クラスが共存するネットワークでは、クラス毎の品質を保証するとともに、クラス毎の品質目標値の違いを統計多重に有効に活用してネットワークの利用効率を向上させることができる [5-11] [5-12]。加入者線固有の機能としてUPCとセル計数機能がある。UPC (Usage Parameter Control) は、ユーザからの過大なトラヒックの流入を監視し、網内の転送品質を保つために必要である。これまでに提案されているUPCの実現方法には、図5-11に示すように、各種のものがある。網からフレームやりセットと呼ばれるマーカーを送り、それに従って端末がセルを送出する方法 (flow control)、ユーザから送出されたセルを網の入り口で一旦蓄積し整列し直す方法 (shaping)、網内ではユーザから送られたセルの数を計数して約束に違反していないかどうかを監視する方法 (leaky bucket、sliding window、jumping window) などがある。この監視方法の選定は、網／ユーザ間のトラヒックパラメータの規定方法に大きな影響を受ける。最近の標準化の状況では、leaky bucketに適したトラヒックパラメータの規定方法が選択された。

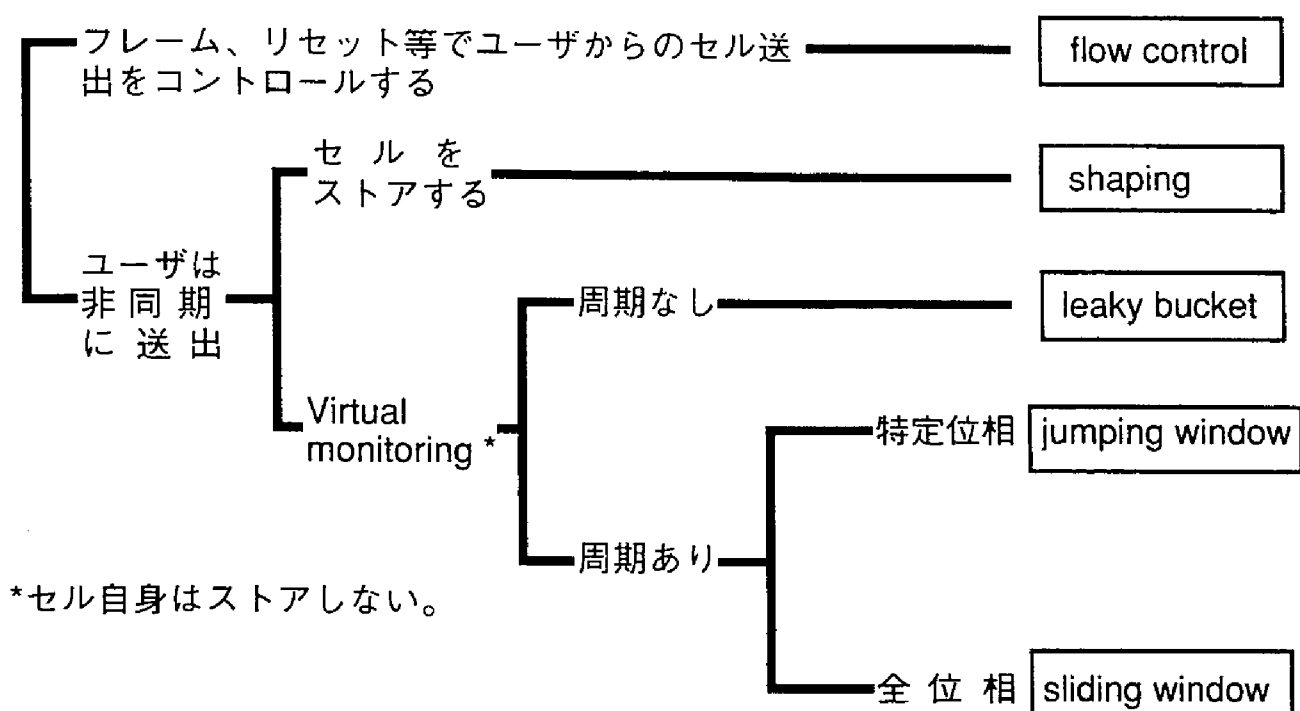


図 5-11 UPC
Fig.5-11 UPC algorithms

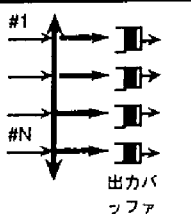
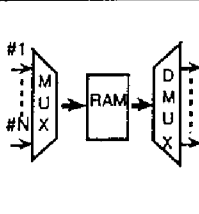
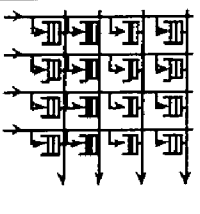
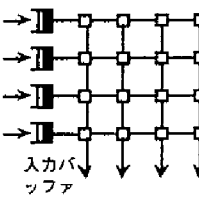
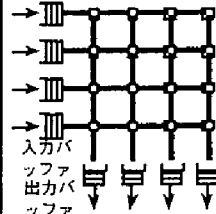
ATMの料金制度は不明であるが、交換網のコスト要素としては、距離・保留時間・通信速度（ピーク速度）・情報量等がある。距離・保留時間・通信速度は呼処理ソフトウェアで把握できるが、呼毎の情報量を把握するためには、計数回路が必要である。例えば速度150Mb/s、1時間の保留時間の通信のセル数は 10^9 であり、4バイトの計数回路が必要となる。時間帯や品質クラスに応じた料金の違いを想定すると、VC当り16バイトの計数テーブルとなり、大規模なメモリを必要とする。計数回路は、計数の正確性の点から網の出口に置かれ、発信者課金の場合は計数結果を発交換機に転送する。

5.3 ATMスイッチの構成法

ATMスイッチには、各種の構成方法が提案されており、さまざまな研究開発機関で各種のものが実験されている。スイッチの構成方法は、トポロジー（マトリクス、バス、リング）や、バッファの配置（出力バッファ、共通バッファ、クロスポイントバッファ、入力バッファ、入出力バッファ）、処理規律（FIFO、FIRO、スケジューリング）により分類される。ここでは、代表的なマトリクススイッチを取り上げ、バッファ配置による特徴を述べる。

表5-3はマトリクススイッチにおけるバッファの配置を示している。Nはスイッチの入出力ポート数を意味し、Lは回線速度に比したスイッチ内部の信号転送速度を意味する。以下では入力ポート数、出力ポート数が共にNの正方スイッチを例にとりあげる。

表5-3 ATMスイッチの分類

	出力バッファ	共通バッファ	クロスポイント バッファ	入力バッファ	入出力バッファ
スイッチ構成					
バッファメモリ 動作速度	$N+1$	$2N$	2	2	$L+1$

出力バッファ方式は出力ポート対応にバッファを配置する。複数の入力ポートから同一の出力ポートへ向かうセルが到着しても衝突が起きないように、入力セルは一旦高速バスに多重化する。回線速度のN倍の速度で高速にバッファへの書き込みを行う。必要なバッファ量は、回線使用率、セル到着分布、目標品質（セル廃棄率）、スイッチサイズにより決定される。図5-12は回線使用率が0.8及び0.9、ランダム到着の場合の出力ポート当たりの所要バッファ量を示している[5-13]。ある出力ポートに着目した場合、同一時刻に到着する最大セル数はN（スイッチサイズ）であり、スイッチサイズが大きいほど到着の分散が大となるため、必要なバッファ数がスイッチサイズに伴って大きくなる。但し、ある程度大きなスイッチではスイッチサイズによるバッファ数への影響は小さい。図5-13は入力回線が無限大とした時の所要バッファ数を現しており、回線使用率が高い程必要なバッファ数が大きくなる。

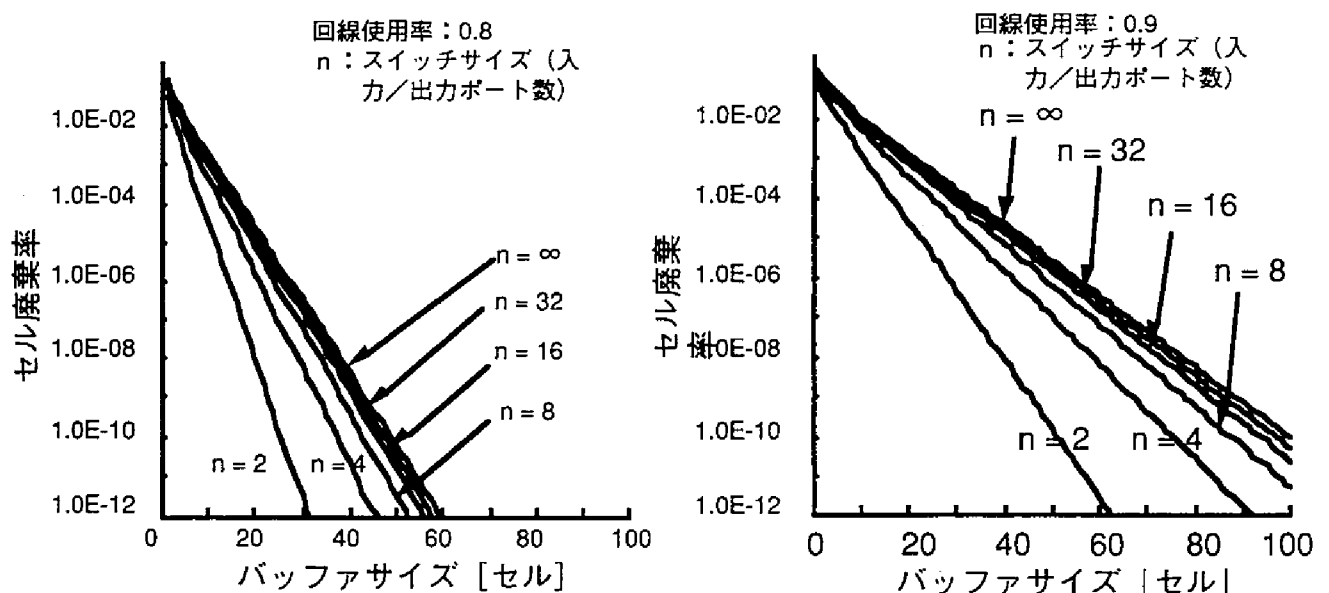


図5-12 出力バッファの所要バッファサイズ
Fig.5-12 Required number of buffers of output buffer switches

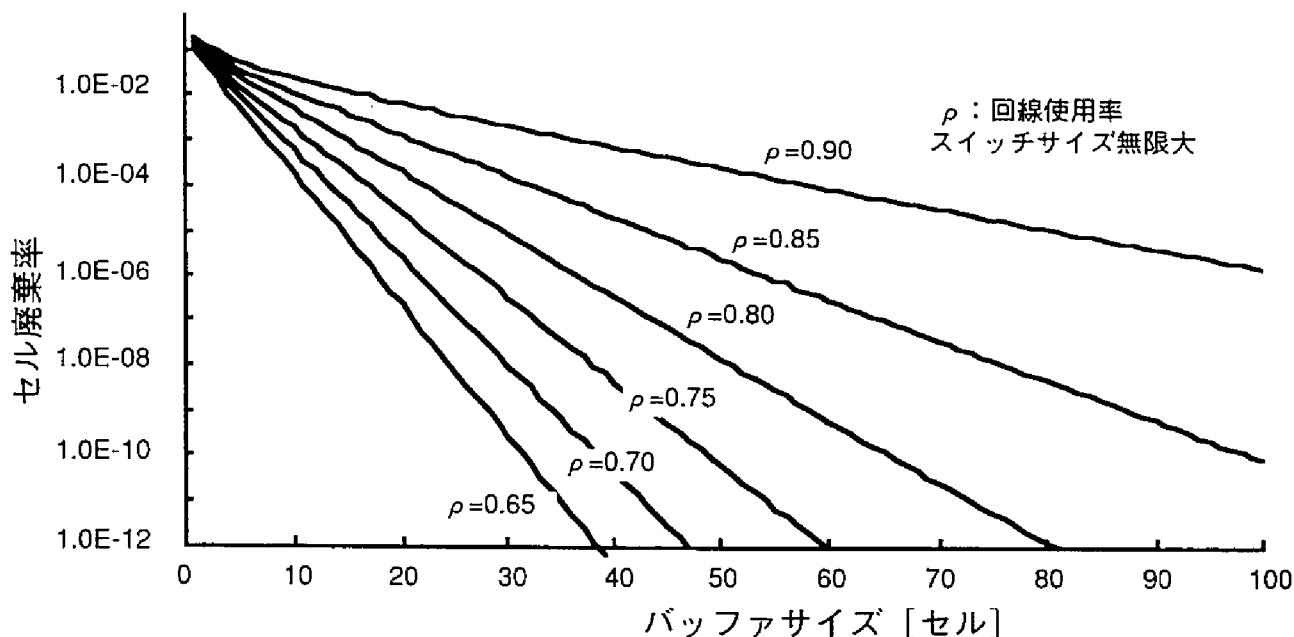


図 5-13 スイッチサイズ無限大の時の出力バッファの所要バッファサイズ
Fig.5-13 Required number of buffers of output buffer switches for infinite number of input line

共通バッファ方式は、バッファをN本のポートで共通利用するものであり、出力バッファ方式に比べバッファ数を削減できる。図 5-14 は共通バッファスイッチの所要バッファ量を評価したものであり [5-14]、スイッチサイズが大きいほど共用効果が顕著となる。また、バースト的なトラヒックの場合はランダムトラヒックの場合に比べ所要バッファ量が大きいため、やはり共用効果が大きい。一方、共用するために、バッファメモリの読みだしも高速化する必要があり、高い動作速度が要求される。また、後述するようにバッファの使用状況を管理する必要がある。

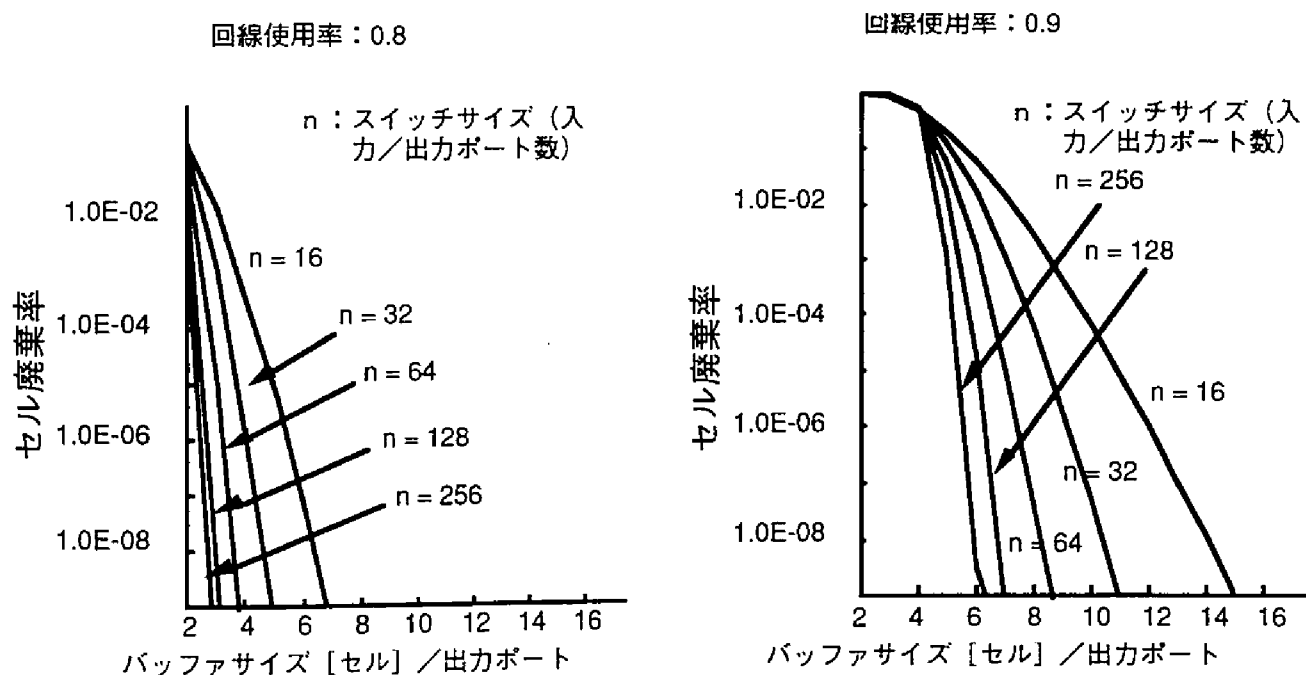


図 5-14 共通バッファのスイッチサイズと所要バッファ量
Fig.5-14 Required number of buffers of common buffer switches

クロスポイントバッファは、入力ポートと出力ポートの交点にバッファを配置する。バッファメモリへの書き込み・読みだしは回線速度と同一の速度でよいため、高速な回線を扱うことが容易な反面、 N^2 個のバッファが必要なため、大規模化の制約となる。

入力バッファ方式は、入力されるセルを一旦バッファに蓄え、出力回線が空いているときに順次セルを送り出す。FIFO規律のもとでは、クロスポイントスイッチ部にはバッファが無い場合、同時に複数の入力バッファ（ i 個）の先頭に同一宛先のセルが到着すると、 $(i-1)$ 個のバッファからはセルが送出されず、先頭セルにより以後のセル送出が妨げられる（Head-of-line blocking）。クロスポイントスイッチ部のスループットは、入力バッファに常にセルが滞留している状態が最大であり、図5-15に示すように、スイッチサイズ無限大の時0.58である[5-13]。スループット向上のための各種アルゴリズムが提案されている。

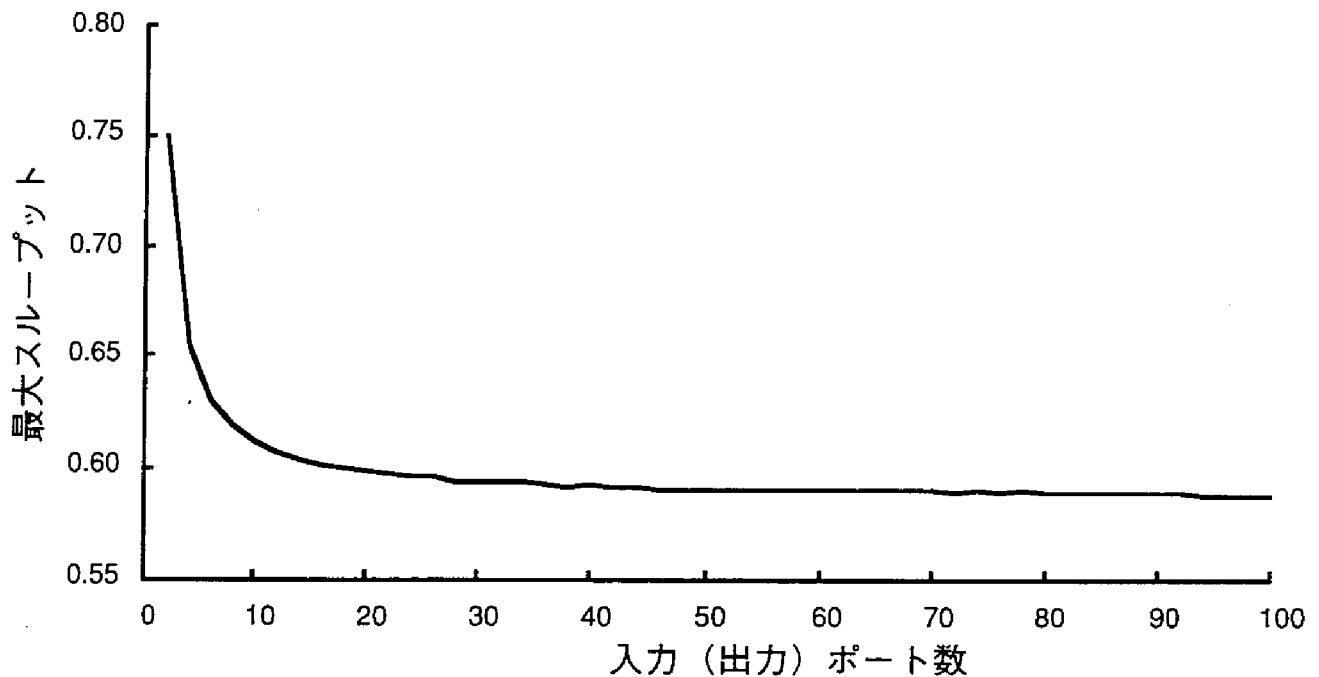


図5-15 入力バッファの限界スループット
Fig.5-15 Nominal throughput of input buffer switches

入出力バッファは、入力バッファのクロスポイントスイッチ部のスループット制限を高速化によって回避する方法である。1段スイッチの場合、入出力回線に比べ2倍の高速化を行えば、スイッチ部のボトルネックは解消し、出力バッファと同程度の特性を示す。入出力バッファは、第7章で述べるように、比較的集積度の要求される入出力バッファ部と、高速性は要求されるが集積度が要求されないクロスポイントスイッチ部にそれぞれ特性の異なるLSI技術を適用することが可能である。

バッファ配置の観点からATMスイッチを分類した。表5-3からわかるように、出力

バッファや共通バッファは、バッファの個数が少ないが高速動作を要求されるため、相対的に低速の回線を収容するスイッチに適している。一方、マトリクスバッファ、入力バッファ、入出力バッファは、高速の回線を収容するスイッチに適している。

5. 4 ATMに関連する本研究の内容

ATMスイッチの構成法に関しては、共通バッファスイッチ・入出力バッファスイッチ・リングスイッチを研究対象とした。共通バッファスイッチでは、多段環境に於ける動作能力の向上を狙いとした、可変リンク速度共通バッファスイッチを提案し、特性の評価・LSI化を含む実験を行っており、第6章で述べる。入出力バッファスイッチは、デバイスの集積度・動作速度能力の違いを活かすという着眼点から研究を開始し、性能評価・LSI化を含む実験を行っており、第7章で述べる。リングスイッチは、各種通信メディアを統合的に扱う統合LANとして研究を行ったものであり、第8章で述べる。また、ATMではリソース管理とコネクション管理を分離可能であり、これを活かしたバーチャルグループパスと呼ぶリソース管理の新しい手法を提案した。その原理・ネットワークへの適用効果の評価等を第9章で述べる。

参考文献

- [5-1] J. W. Forgie et al., "System Design Implication of Packetized Voice," Proc. of ICC'77, pp.38.2.44-2.48, June 1977
- [5-2] T. Aoyama, T. Takahashi, et al., "Packetized Service Integration Network For Dedicated Voice/Data Subscribers," IEEE Transactions on Com., vol.COM-29, no.11, pp.1595-1601, Nov. 1981
- [5-3] J. R. Pierce, "Network for Block Switching of Data," Bell Syst. Tech. J., Vol. 51, No.6, pp.1133-1145, July-Aug. 1972
- [5-4] A. Thomas et al., "Asynchronous Time-division Techniques: An Experimental Packet Network Integrating Video Communications," Proc. of ISS'84, pp.32C2, May 1984
- [5-5] J. J. Kulzer and W. A. Montgomery, "Statistical Switching Architecture for Future Services," Proc. of ISS'84, pp.43A1, May 1984
- [5-6] 高橋、"標準化作業の協調－ATMフォーラム"、ITUジャーナル、Vol.10, No.10, pp.49-51, Oct. 1996
- [5-7] 相澤、魚瀬、浅野、"ATMを用いた高速バックボーンネットワークの構想"、信学会、情報ネットワーク研究会キャンパスネットワーク小特集、June 1994
- [5-8] N. Miyaho, M. Hirano, Y. Takagi, K. Shiimoto, and T. Takahashi, "An ATM Switching System Architecture for First Generation of Services," Proc. of ISS'92,

- Vol.1, pp.285-289, Oct. 1992
- [5 - 9] 濃沼、高橋、” 高速データ/マルチメディア通信の実現－A T Mノードシステム技術”、N T T技術ジャーナル、Vol.5、No.9、pp.26、Sep. 1993
- [5 - 1 0] H. Ishikawa, "Evolving from Narrowband," IEEE COM Magazine, Vol.30, No.8, pp.32-36, Aug. 1992
- [5 - 1 1] 高木、高橋、” 複数の品質クラスをもつA T M網のセル転送品質制御”、信学論、Vol.J74-B-1, No.3, pp.180-189, Mar. 1991
- [5 - 1 2] Y. Takagi, S. Hino, T. Takahashi, "Priority Assignment Control of ATM Line Buffers," IEEE J. Selected Areas in Commun., Vol.9, No.7, pp.1078-1092, Sep 1991
- [5 - 1 3] M. Hluchyj and M. Karol, "Queueing in high-performance packet switching," IEEE JSAC vol.6, No.9, pp.1587-1597, Dec. 1988
- [5 - 1 4] H. Kuwahara, N. Endo, M. Ogino and T. Kozaki, "Shared buffer memory switch for an ATM exchange," ICC'89, pp.4.4.1-4.4.5, June 1989

第6章 可変リンク速度共通バッファスイッチ網の構成法 [6-1] [6-2] [6-3] [6-4]

6.1 まえがき

共通バッファスイッチはATMスイッチの基本的な構成法のひとつで、バッファを入力ポート間／出力ポート間で共用できるため、必要なバッファ数が少なく済み、コンパクトなハードウェアでスイッチを実現できる特長がある。しかし、複数の入力ポートからの入力情報を一旦多重化してシーケンシャルにバッファに書きこんだり、複数の出力ポートの情報をシーケンシャルに読み出すため、スイッチサイズの増大や入出力ポートの高速化とともに、メモリの動作速度が高速になる。適用するデバイス技術の条件にも依存するが、一般に適用されるCMOS／BiCMOSデバイスでは、メモリの動作速度がスイッチ容量の一次的な制限要因になる。

また、大容量交換機を実現するには、単位スイッチを高速・大規模化するのに加えて、STMスイッチ網と同様に、単位スイッチを多段接続することが必要となる。多段スイッチ網では、出力回線に加えて、中間のスイッチ間リンクも品質劣化を引き起こす可能性がある。リンク過負荷を避けるには、スイッチ網のフロントエンドにセル分配機構を配置してリンク負荷を統計的に均一化する方法もあるが、経路間の遅延バラツキによるセルの順序逆転が起こるため、順序を保存するためのリシーケンス処理が必要となる欠点がある。

共通バッファスイッチの容量制限要因であるメモリの動作速度を最大限活用し、かつATM特有のリンクスループット制限を回避することをねらいとした、可変リンク速度共通バッファスイッチを提案した。可変リンク速度共通バッファスイッチは、入出力ポートからの共通メモリへのアクセス権をアービタにより可変に割り付け、入力ポート及び出力ポートの合計速度が一定の範囲内で、トラヒック状況に応じて各入力ポート／出力ポートの速度を可変にする。また、スイッチステージ間の情報転送にハンドシェイク手順を適用して、前段スイッチの出力ポートと後段スイッチの入力ポート間の動作速度の調停を行い、リンク速度をダイナミックに可変とする。

可変リンク速度スイッチは、リンク過負荷に強いいため、多段スイッチ網を構成する際に必要なスイッチ数を減らすことができる。メモリの動作速度が一定の $m \times m$ スイッチを例にとると、固定速度スイッチ網と比べて約 $1/m$ のスイッチ数で実現できる。

可変リンク速度スイッチ網の転送特性を2段スイッチ網を対象に評価した。可変リンク速度スイッチ網は、スイッチステージ間のリンク過負荷に強い特性を持つ。入出力負荷が一定であっても、宛先トラヒック分布によっては中間のリンクに過負荷が発生することがある。固定速度スイッチ網では、リンク過負荷によって著しく品質が劣化するのに対し、可変リンク速度方式では、安定した品質でセルを交換できることをシミュレーションにより示すとともに、可変リンク速度方式のスループット制限要因を分析する。

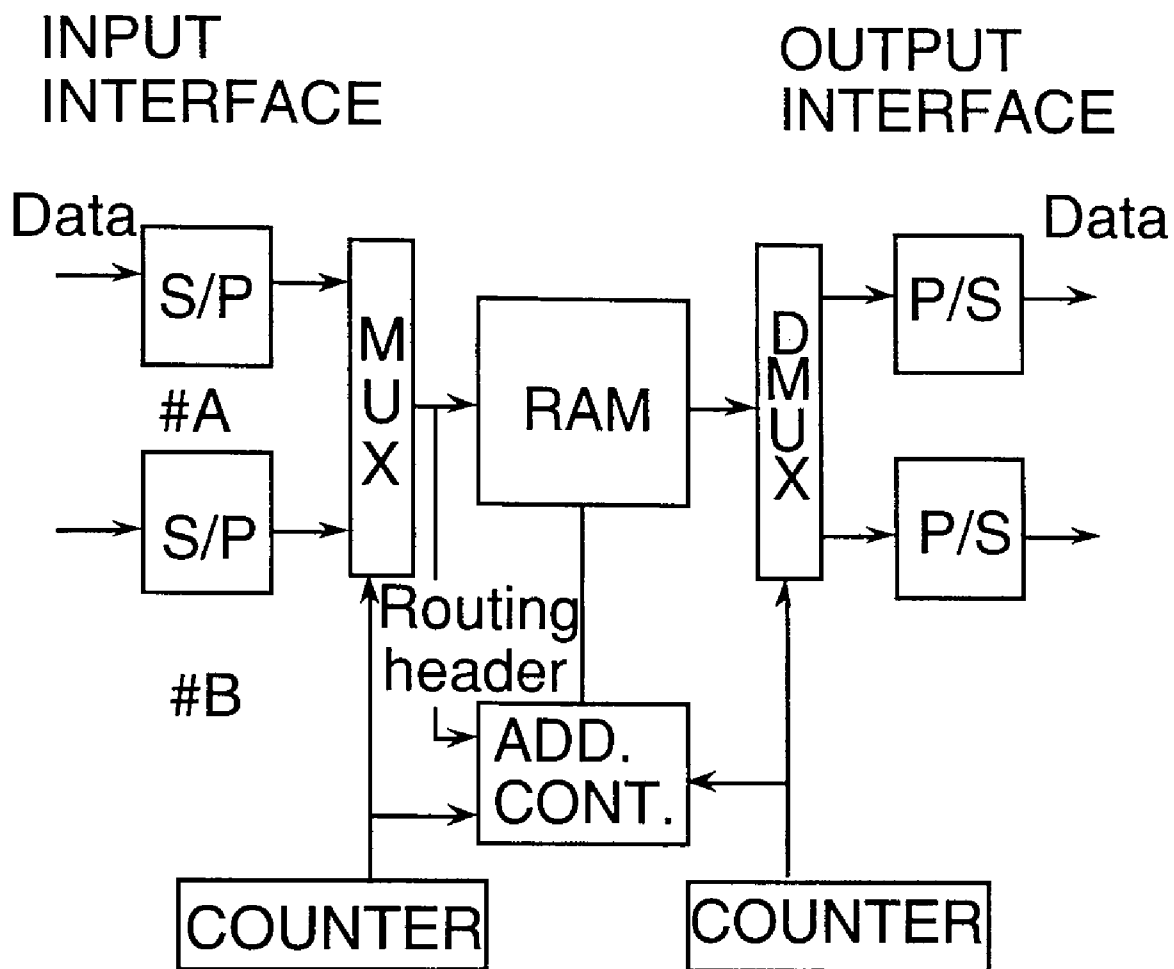
上記の可変リンク速度共通バッファスイッチをCMOS 0.8ミクロンプロセスを用いてLSIを実験試作した。スイッチ規模は4 x 4で合計620 Mb/sのスイッチ能力を持つ。バッファは、ポート間の品質の公平性のために、部分共通型を採用した。本LSIは、NTTの研究所内の実験システムに組み込まれ、3段接続により155 Mb/s回線64本を交換するスイッチ装置として動作を確認した。

6.2 可変リンク速度共通バッファスイッチの構成

6.2.1 スwitchの構成

表5.3のATMスイッチの各種構成法の中で、共通バッファスイッチを図6-1に示す。バッファをシェアすることにより、必要なバッファ容量を著しく低減できる。共通メモリへの書込み・読みだしアクセスは、各入出力ポートからのアクセスを順番に多重化する。各入出力ポートの速度は一定である。

提案する可変リンク速度スイッチは、アービタを用いることにより、入出力ポートへのメモリアクセスの割付をダイナミックに行う。図6-2に示すように、入力ポートからのセル情報は、入力インタフェース部で、ワード並列フォーマットに変換される。1ワード分の情報を蓄積すると入力インタフェース部は、メモリ書込み要求をアービターに発する。アービターは優先制御により、メモリアクセス要求のある、入力インタフェースまたは出力インタフェースひとつを選択してアクセス権を与える。アクセス権の割当例を図に示す。図の例では、高速な入力ポートAと低速な入力ポートBの場合を示しており、3分の2がポートAに3分の1がポートBに割り当てられている。このように、可変リンク速度スイッチは、異速度のポートを同一のスイッチに収容できる。また、スイッチとしての動作のみでなく、多重・分離回路や分岐・挿入回路としても機能し得る。さらには、トラヒックの状況にあわせてリンク速度を変更することも可能である。

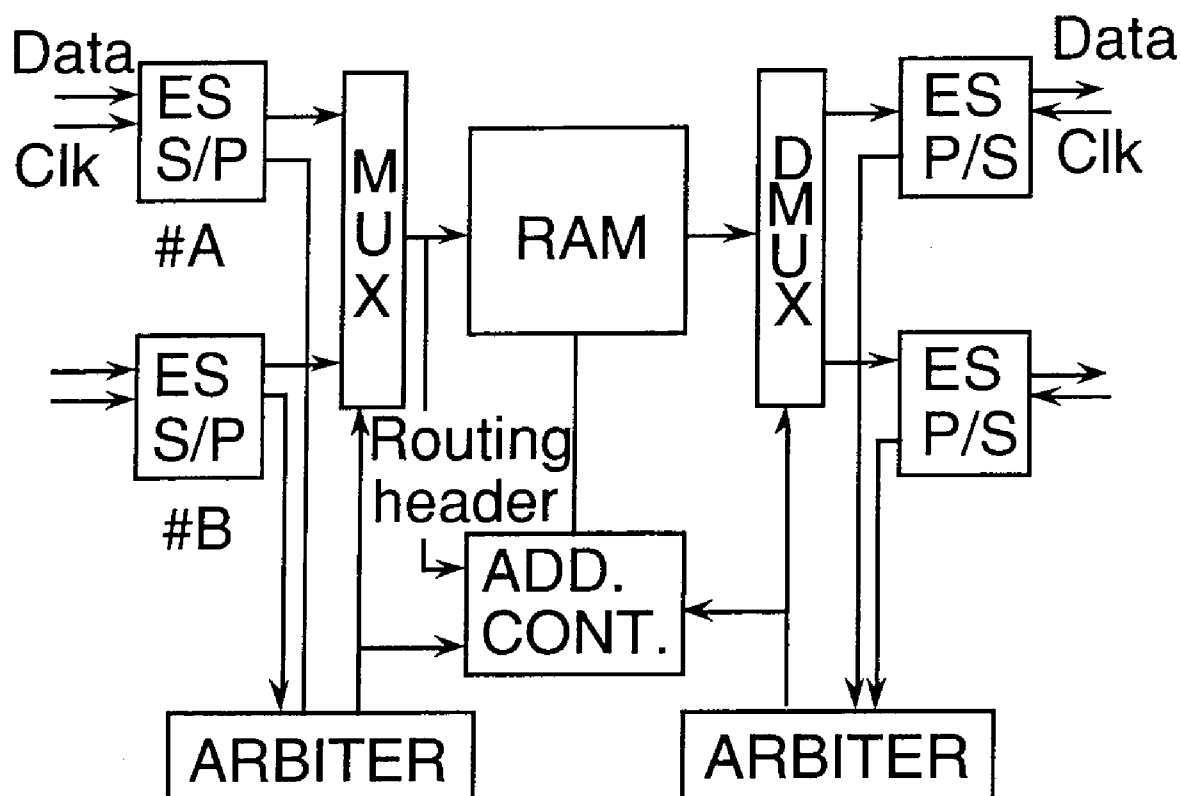


Input data #A	<table><tr><td></td><td>A1</td><td>A2</td><td>A3</td><td>A4</td><td></td></tr></table>						A1	A2	A3	A4									
	A1	A2	A3	A4															
Input data #B	<table><tr><td></td><td>B1</td><td>B2</td><td>B3</td><td>B4</td><td></td></tr></table>						B1	B2	B3	B4									
	B1	B2	B3	B4															
Memory write	<table><tr><td></td><td>A1</td><td>B1</td><td>A2</td><td>B2</td><td>A3</td><td>B3</td><td>A4</td><td>B4</td><td></td></tr></table>										A1	B1	A2	B2	A3	B3	A4	B4	
	A1	B1	A2	B2	A3	B3	A4	B4											

図 6 - 1 共通バッファスイッチの構成
Fig. 6-1 Configuration of Shared Buffer Switch

INPUT INTERFACE

OUTPUT INTERFACE



Input data #A	<table><tr><td>A1</td><td>A2</td><td>A3</td><td>A4</td></tr></table>						A1	A2	A3	A4		
A1	A2	A3	A4									
Input data #B	<table><tr><td colspan="3">B1</td><td colspan="3">B2</td></tr></table>						B1			B2		
B1			B2									
Memory write	<table><tr><td>A1</td><td>B1</td><td>A2</td><td>A3</td><td>B2</td><td>A4</td></tr></table>						A1	B1	A2	A3	B2	A4
A1	B1	A2	A3	B2	A4							

図 6-2 可変リンク速度共通バッファスイッチの構成

Fig. 6-2 Configuration of Shared Buffer Switch with Dynamic Link Speed Control

6. 2. 2 非同期データ転送による多段スイッチ構成

提案スイッチは、リンク速度を時事刻々変更することが可能であるが、多段スイッチでは、第 i 段の出力と第 $i+1$ 段の入力部との速度を合わせる必要がある。図 6-3 に示すように非同期データ転送を用いて、両者の速度を一致させることができる。図 6-4 (a) は相互接続回路を、図 6-4 (b) は動作例を示している。図 6-3 の 2 段スイッチの例では、リンク速度の変更は以下のような動作で実現される。

1 次スイッチでは、2 つの出力ポートの両方に送出すべきセルがあるときは、2 つの出力ポートに等しく、読みだしアクセス権を割り当てる。一方、1 つのポートのみにセルを

送出するときは、そのポートのみに読みだしアクセス権を割り当て、両方のポートにセルを送出する場合に比べて2倍の速度でセルの送出を行う。2次スイッチの書込側も同様で、ひとつのポートのみからセルが入力する場合は、2つのポートからセルが入力する場合の2倍の速度でセルの書込みが行われる。このように、あるリンクの動作速度は、そのリンクで接続されている1次スイッチの出力側の送信セルの状況と、2次スイッチの入力側の受信セルの状況により異なってくる。

ハードウェアで単純・高速に制御する方法に、図6-4(a)の相互接続回路で実現されるハンドシェーク手順がある。図6-4(b)に例を示すように、送信側は、送信データとともに送信指示信号を送る。受信側は、受信可能かどうかを示す受信レディ信号を返送する。このハンドシェーク手順により、リンク速度は、接続される1次スイッチ出力ポートに割り当てられた速度と、2次スイッチ入力側に割り当てられた速度の低い速度となる。またこのリンク速度は負荷の状況に応じてダイナミックに制御される。

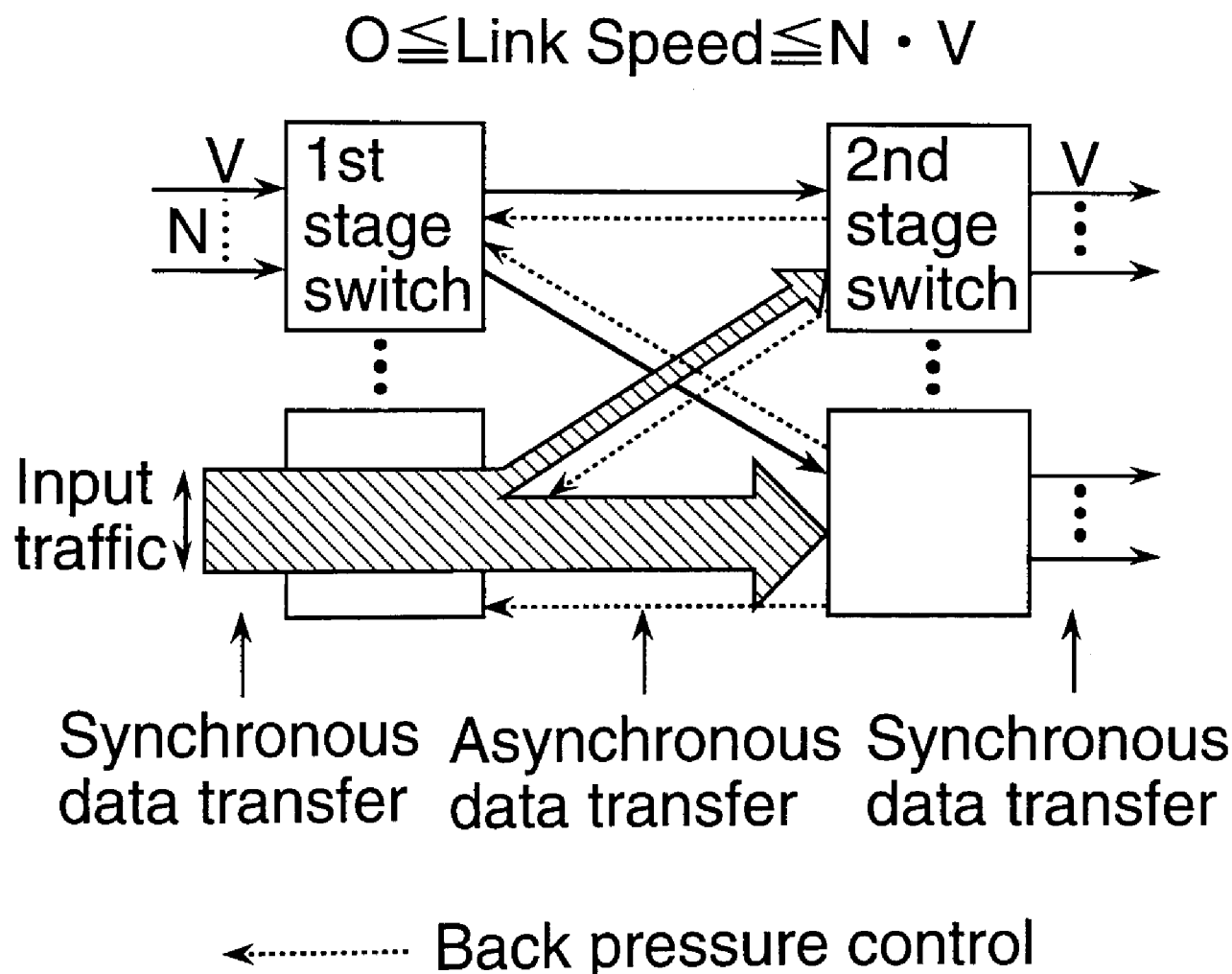


図6-3 可変リンク速度による多段スイッチ網の構成

Fig. 6-3 Multi-stage Switching Network featuring Dynamic Link Speed Control

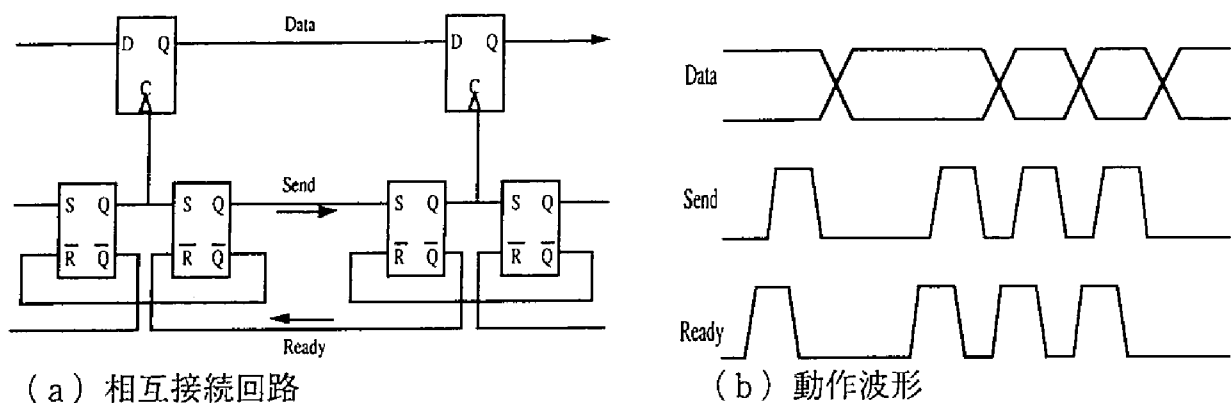


図 6-4 ハンドシェーク回路
Fig. 6-4 Handshake Circuit

リンク速度の割当例を図 5 に示す。図 6-5 (a) に示すように、均一なフローでは、内部リンクは入出力回線速度 V と等しく、極めてアンバランスなフローでは、図 6-5 (b) に示すように、負荷の加わるリンクは速度 $2V$ で、負荷の加わらないリンクは速度 0 で動作する。

リンク速度を可変とするために必要なハードウェアは、入出力インタフェース部での数ワードのエラスティックメモリ、アービタ、ハンドシェーク回路などである。アービタとしてリングアービタを前提として、追加されるハードウェア規模を 4×4 スイッチで、1ワード16ビットの場合に見積もると、アービタが1kゲート2個、エラスティックメモリが3kゲート、ハンドシェーク回路が100ゲートで、合計約5kゲートとなる。この追加部分は固定速度型の共通バッファスイッチのおよそ15-20%程度である。

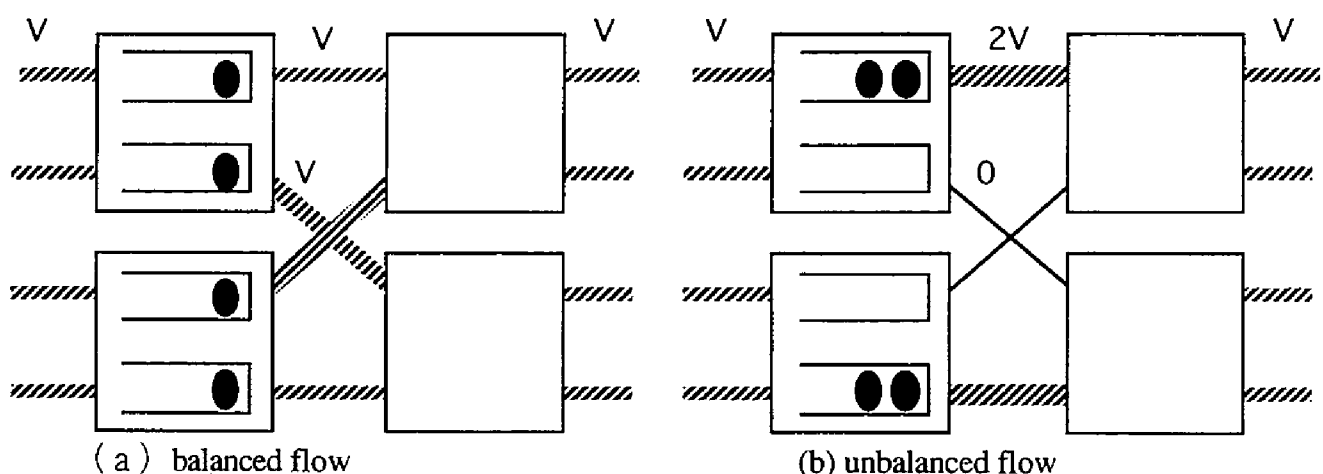


図 6-5 リンク速度の割当例
Fig. 6-5 Link Speed Assignment Example

6.3 ノンブロックな多段スイッチ網の構成法

ATM交換では、入出力回線の負荷は、コネクション受付制御 (CAC) 機能により、回線上での遅延・廃棄品質を満足するよう、一定のトラヒック量に制限される。新しいコ

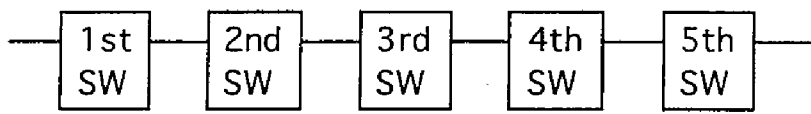
ネクション設定要求を受信すると、その時の回線負荷の状況と、新コネクションの必要帯域をもとに、要求されたコネクションを受け付けるか否かの判定を行う。交換機内部のスイッチ網に同様な機構を持ち込むと、CACのための制御負荷が大きいことと、リアルタイムのトラヒック観測等のハードウェアの規模が大きくなるため好ましくない。交換機のスイッチ網は、共通リソース管理を行うことなく任意の組み合わせのトラヒックを扱えることが必要である。

任意のトラヒックフローを扱えるようにするためには、スイッチ網の容量は、入出力回線の容量に比べて余裕を持つ必要がある。最悪ケースは、着目する内部リンクに、すべての入力回線または出力回線からの負荷が集中する場合である。 $m \times m$ スイッチ s 段からなる多段スイッチ網をとりあげると、 i 次スイッチと $(i + 1)$ 次スイッチを接続する i 次リンクは、 m^i 本の入力回線と m^{s-i} 本の出力回線に経路を伸ばすことが可能である。従って、入出力回線回線間にひと通りの経路しか持たない多段スイッチ網では、 i 次リンクは入出力回線に比べて $\min(m^i, m^{s-i})$ 倍の容量を持つ必要がある。

6. 3. 1 固定速度スイッチによる多段スイッチ網

従来の固定リンク速度型スイッチは、リンク速度がボトルネックとなる。 $(m \times m)$ 単位スイッチ 5 段の時の、必要なリンク容量は、表 6-1 に示すようになる。1 次リンク及び 4 次リンクは、入出力回線の m 倍の容量が、2 次リンク及び 3 次リンクは、入出力回線の m^2 倍の容量が必要である。逆に、リンク速度と入出力回線速度が等しい場合には、表に示すように、5 段スイッチで m^3 本の回線容量となる。

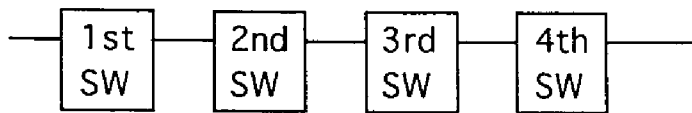
表 6-1 固定リンク速度多段スイッチに必要なリンク容量
Table 6-1 Necessary Link Capacity for Fixed Speed ATM Switching Network

		input trunk	1st link	2nd link	3rd link	4th link	output trunk
							
the number of input/output trunks sharing i-th link	input trunk	1	m	m^2	m^3	m^4	m^5
	output trunk	m^5	m^4	m^3	m^2	m	1
link capacity redundancy		1	m	m^2	m^2	m	1

6. 3. 2 可変リンク速度スイッチによる多段スイッチ網

可変リンク速度スイッチはリンク容量及びスイッチ容量の両方がボトルネック要因となる。表 6-2 に 4 段スイッチを例にとり、必要なリンク容量スイッチ容量を示す。2 次リンク及び 2 次・3 次スイッチは m 倍の容量が必要である。スイッチの動作速度を一定とすると、表に示すように、4 段スイッチで m^3 本の回線を収容可能である。

表 6-2 可変リンク速度多段スイッチに必要なリンク容量・スイッチ容量
Table 6-2 Necessary Link Capacity for Variable Speed ATM Switching Network

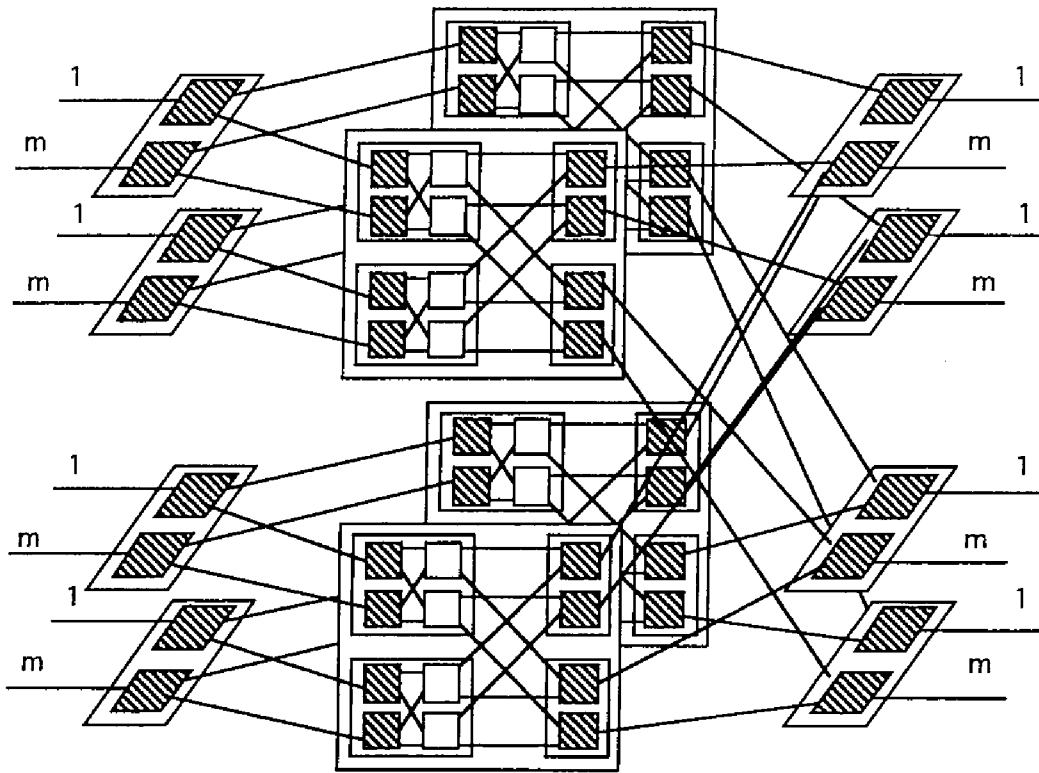
		input trunk	1st link	2nd link	3rd link	output trunk
						
the number of input/output trunks sharing i-th link	input trunk	1	m	m^2	m^3	m^4
	output trunk	m^4	m^3	m^2	m	1
link capacity redundancy		1	1	m	1	1
the number of input/output trunks sharing i-th switch	input trunk	m		m^2	m^3	m^4
	output trunk	m^4		m^3	m^2	m
switch capacity redundancy		1		m	m	1

6. 3. 3 固定速度・可変リンク速度スイッチの多段スイッチ網の比較

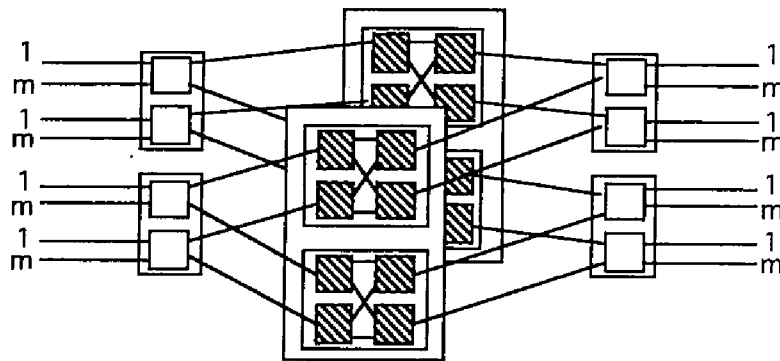
リンク容量を入出力回線容量に比べて余裕を持たせるための方法には、リンク速度を高速化する方法と、入出力回線数を減らす方法の2通りがある。以下の比較は両方の方法にあてはまるが、以下では入出力回線数を減らす方法を例にとる。図6-6に m^3 本の入出力回線の時のスイッチ網の構成を示すように、スイッチのメモリ動作速度は両者で等しいことを条件とする。

両者のハードウェア規模をクロスポイント数で比較する。図6-7に両者のクロスポイント数の比較結果を示す。図からわかるように、可変リンク速度スイッチは、すべての規

模領域で、固定速度型の m 分の1のハードウェア規模でスイッチ網を実現できる。



(a) fixed link speed switching network



(b) variable link speed switching network

図 6 - 6 m^3 本の回線を収容する多段スイッチ網

Fig. 6-6 Multi Stage Switching Network Accommodating m^3 Lines

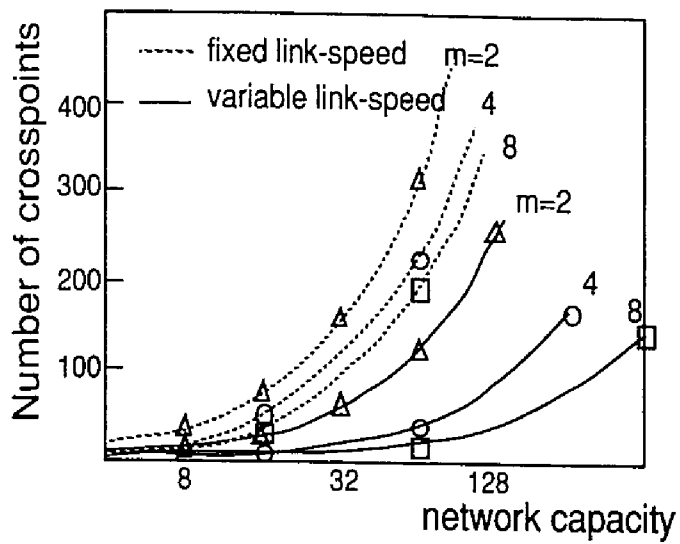


図 6-7 クロスポイント数の比較
Fig. 6-7 Number of Crosspoint

6. 4 セル転送能力の評価

6. 4. 1 シミュレーションモデル

シミュレーションモデルとして、 2×2 単位スイッチの2段構成のスイッチ網を考える(図6-8)。図で α は方路毎の負荷のバラツキを示すパラメータであり、 $\alpha=0.5$ は均一な負荷を、 $\alpha=0$ または1は極めてアンバランスな負荷を意味する。

簡単化のため、入力トラヒックはランダム到着の固定長セルのみであり、入出力回線のセル位相は同期しているものとする。また、バッファは少ないバッファ量で低いセル廃棄率を達成できる全共通配置を前提とする。可変リンク速度方式では、単位スイッチの入力リンク速度と出力リンク速度が異なるため、バッファではセルを一旦全部蓄積した後出力を行う。バッファの解放は、セル出力後次のクロックで行う。1次スイッチにおいて入力セルがバッファを捕捉できない場合にはセル廃棄とする。1次スイッチから2次スイッチへ転送する際に2次スイッチのバッファが捕捉できない場合には、セル転送は行わず1次スイッチで待たせるものとする。

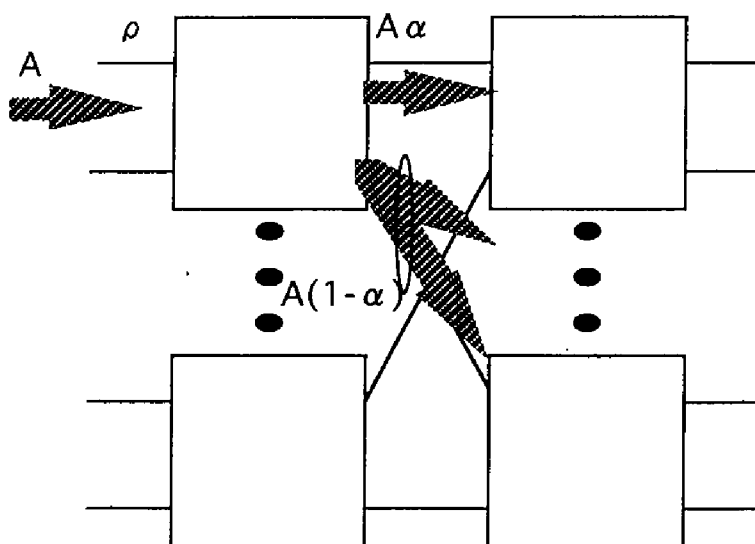


図6-8 シミュレーションモデル
Fig. 6-8 Simulation Model

6. 4. 2 特性評価

ATM通話路の基本的性能のうち、セル廃棄率、遅延時間特性(平均値、99.9%値)をシミュレーションを用いて評価した。本シミュレーションでは入出力回線の平均使用率 ρ は一定であり、各回線の負荷は均一とする。

(1) 廃棄率

セル廃棄率を図6-9(a)に示す。従来の固定速度方式は、内部リンクに対する負荷が平衡している場合($\alpha=0.5$)には可変リンク速度方式に比べて良い結果が得られる。

これは単位スイッチの入出力間で速度変化が無いいためセルを一旦全部蓄積してから転送する必要がなくバッファを効率的に使用できるからである。しかし、内部リンクのトラヒックが偏ると ($\alpha \rightarrow$ 大)、リンクに加わる負荷がリンク容量をオーバーしてしまうため、廃棄率が増加する。このため、スイッチ全体の容量を大きくするなどの冗長設計が必要となる。これに対し、可変速度方式では負荷の状況に応じてリンク速度が増減するため、トラヒックが偏ってもスイッチ内部で定常的にオーバフロー状態とはならず $\alpha \rightarrow$ 大の場合にも廃棄率の悪化はない。逆に、平衡負荷状態に比べて廃棄率は低下する。図より明らかなように、可変速度方式では α の状態が変化しても廃棄率を一定値以下に抑えることができ、 α による廃棄率の変化は 1 桁程度である。固定リンク速度方式において廃棄率が高い領域は飽和領域でありバッファ量を増やしても廃棄率の低下はさほど期待できず意味がないが、可変リンク方式においてはバッファを 1 回線当たり 1 セル分程度増やすことにより廃棄率を 1 桁程度向上することができる。

(2) 遅延時間特性

遅延の平均値、及び 99.9 % 値を図 6-9 (b) に示す。遅延時間特性も廃棄率特性とほぼ同様の特性を示す。遅延時間の平均値と分散を表す 99.9 % 値の値は、固定速度方式の場合 $\alpha \rightarrow 1$ のとき一定値に収束する。これは、2 次スイッチでは 1 クロック内に 1 セルしか到着しないためセルは待つことなく出力されるが、1 次スイッチは常にオーバフロー状態であり、ほぼ全入力セルが 1 次スイッチでバッファ数分待たされるからである。それ以上待つセルは全て廃棄されるためこの図の結果にはカウントされていない。図では遅延時間はクロック単位で表している。このクロックは回線上の 1 セル伝送時間と等しく、例えば回線速度 150 Mb/s の時、図の例では 99.9 % のセルが 0.03 msec 以下の遅延で通過する。従って、遅延時間はセル廃棄率の問題に比べて無視できる程度であるといえる。

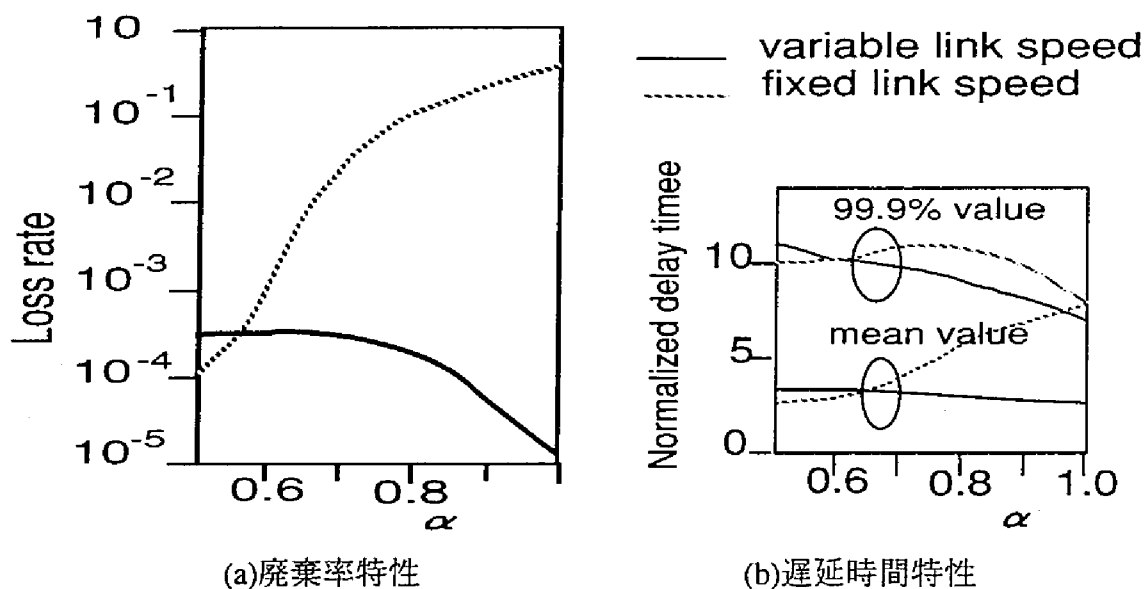
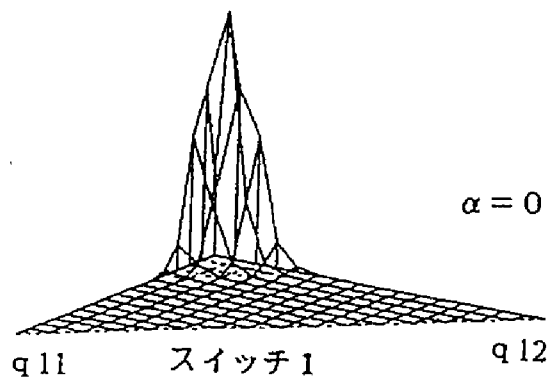


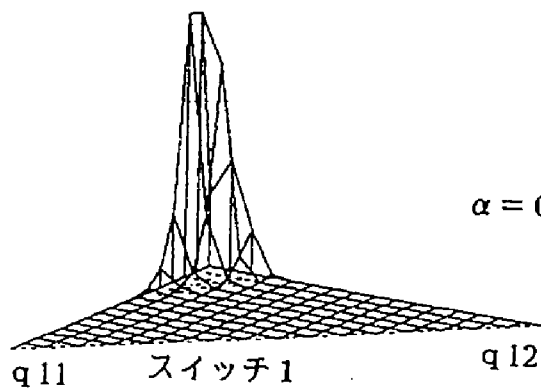
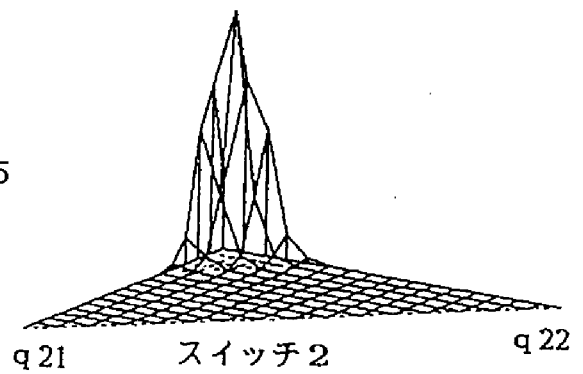
図 6-9 可変リンク速度共通バッファスイッチの特性
Fig. 6-9 Loss/Delay characteristics of shared buffer switch with variable link speed control

(3) 1 次スイッチ内バッファの状態確率

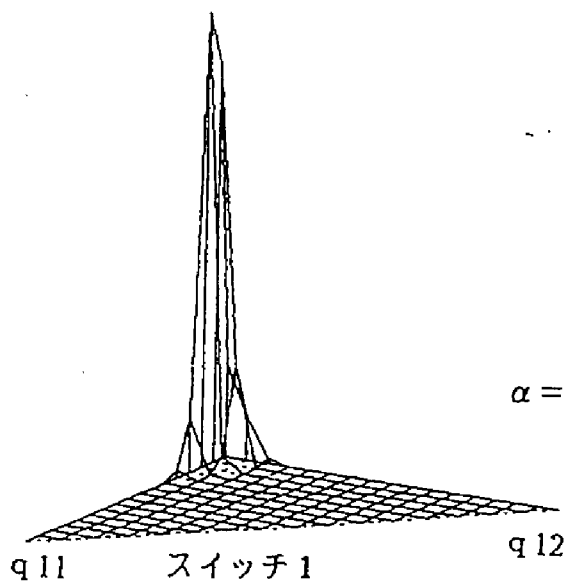
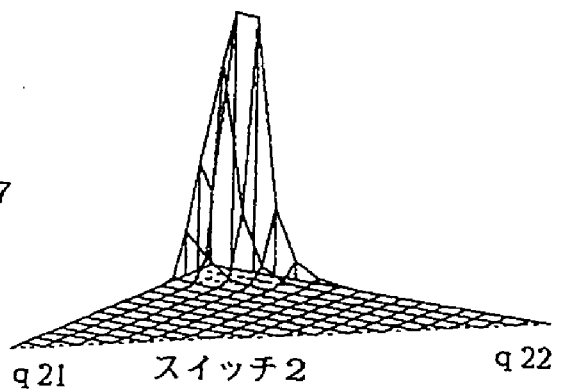
第 n 番目の 1 次スイッチの出方路 j に対するキュー内の待ちセルの数を q_{nj} で表す。1 次スイッチ内バッファの状態を各出方路対応のキューの長さで示す。セル廃棄が起きるのは使用中バッファ数 ($q = q_{n1} + q_{n2}$) が全バッファ数 m となる場合である。従って、 $q = m$ 付近で状態確率が大きいとセル廃棄率も大きくなる。図 6-10 に可変リンク速度方式の状態確率を、図 6-11 に固定リンク速度方式の状態確率を示す。可変速度方式の場合には、内部リンクの負荷の偏り α に関わらず状態確率のピークの位置はあまり変わらないため、 α による廃棄率の変化は小さい。これに対して、固定速度方式の場合には、 α の変化とともにピークの位置が変化し、セル破棄が起きやすい状態の確率が増加している。これからも、可変リンク速度方式を用いることにより冗長設計することなく内部リンクの偏りに強い ATM 通話路を実現できることがわかる。バッファを 1 回線当たり 1 セル分程度増やすことにより廃棄率を 1 桁程度向上することができる。



$\alpha = 0.5$



$\alpha = 0.7$



$\alpha = 0.9$

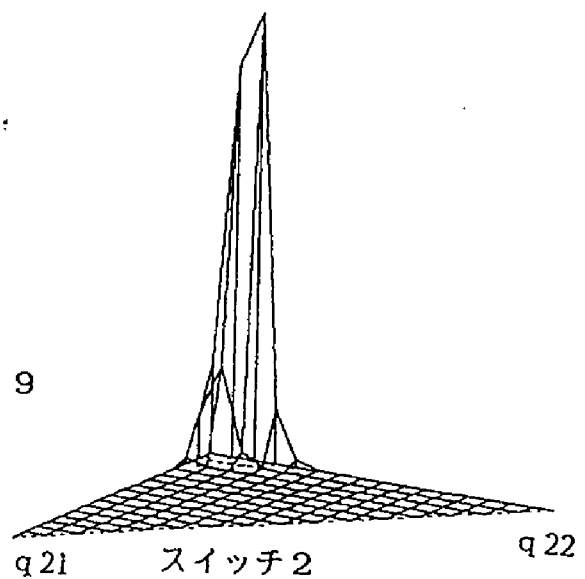


図 6 - 1 0 可変リンク速度方式のバッファ状態確率分布
Fig. 6-10 Buffer State Probability for Variable Link Speed Switching Network

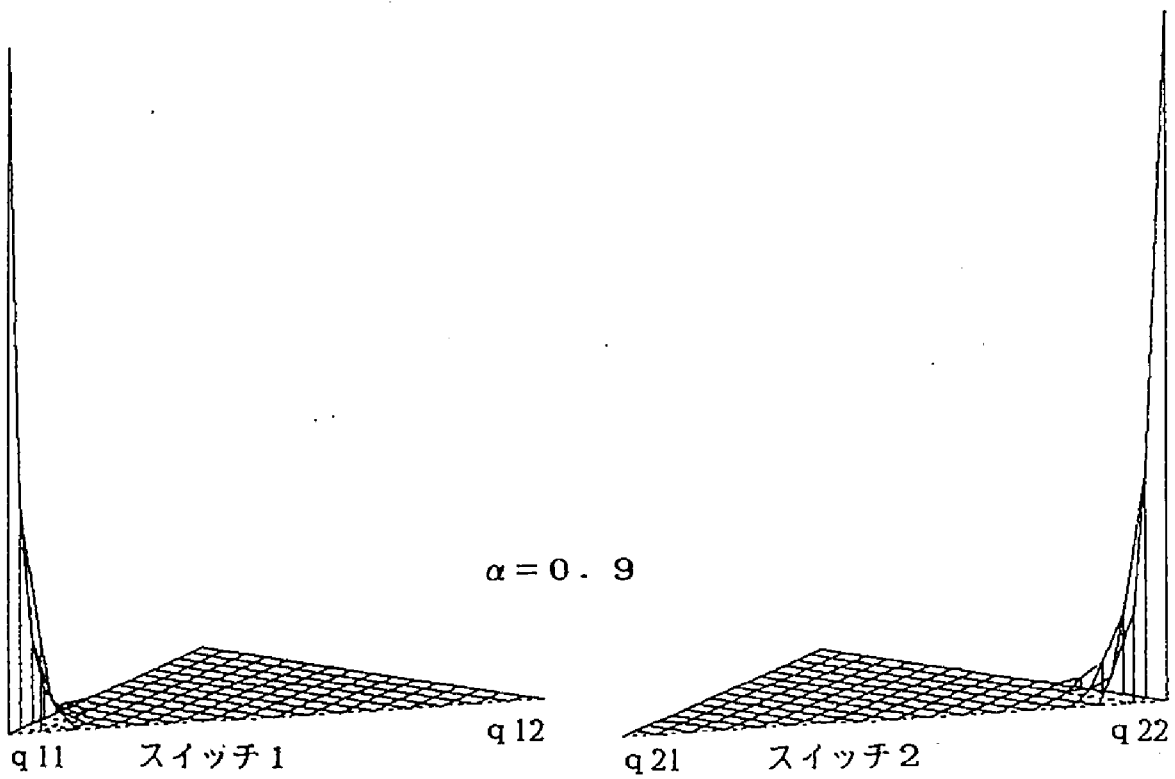
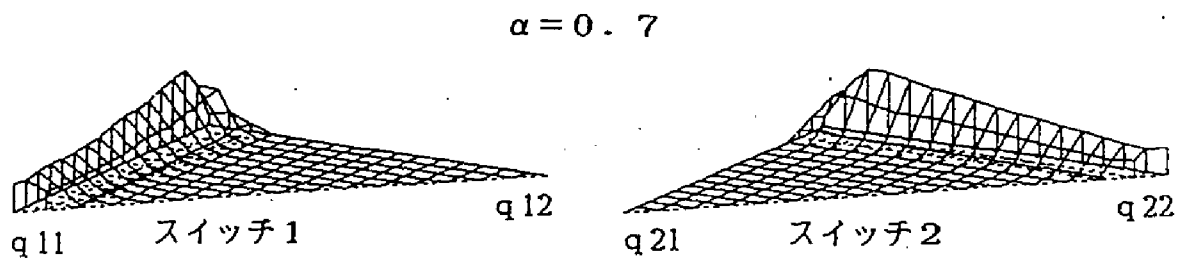
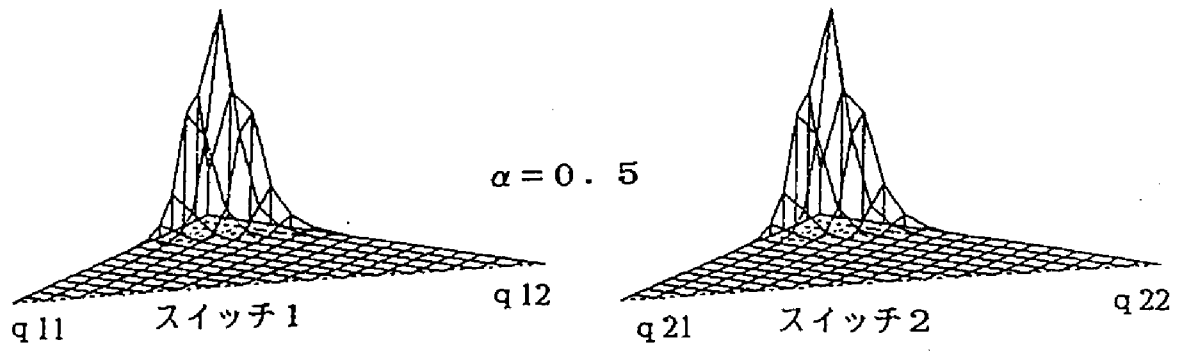


図 6-11 固定リンク速度方式のバッファ状態確率
Fig. 6-11 Buffer State Probability for Fixed Link Speed Switching Network

6. 4. 3 可変リンク速度方式の特性劣化要因の分析

可変速度方式において1次スイッチがバッファオーバーフローとなりセルが廃棄される原因には次の2つが考えられる。

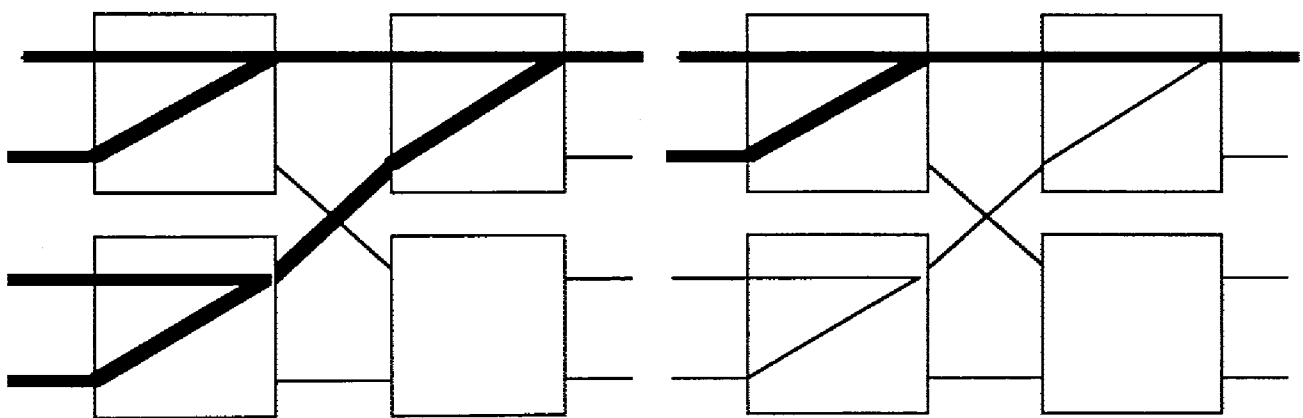
(a) 2次スイッチビジーによるリンクスループットの低下

(b) 内部リンク利用の衝突によるリンクスループットの低下

以下、この2つの要因について分析する。

(1) 2次スイッチビジーによるリンクスループットの低下

2次スイッチの一出力回線に一時的にセルが集中し、2次スイッチのバッファが過渡的にビジーとなることがある。このとき、1次スイッチでセルを待たせ1次スイッチのバッファにより輻輳を吸収するが、1次スイッチでオーバーフローしたセルは廃棄となる。2次スイッチの特定出力回線から見ると、図6-12に示すように、 $\alpha = 1/N$ (平衡負荷)の時は N^2 本の入力回線 (回線使用率 ρ/N のランダム入力) から、 $\alpha = 1$ の時は N 本の入力回線 (回線使用率 ρ のランダム入力) からセルが入力する。有限入力の共通バッファスイッチでは、入力回線数が多いほど、セル到着分布の分散が大きくなるため、平衡負荷の時ほど2次スイッチビジーによるセル廃棄率が高くなる。



(a) $\alpha = 1/N$

(b) $\alpha = 1$

図6-12 パラメータ α とトラフィック交流パターン

Fig. 6-12 Traffic Flow Pattern with Parameter α

(2) 内部リンク利用の衝突によるリンクスループットの低下

単位スイッチの入出力リンク速度の合計が制限され、リンク速度制御は各単位スイッチ毎に行うため、リンク利用の衝突が起こり、1次スイッチの出力容量は空いているのに2次スイッチの入力容量に空きがないためセルが転送できず全体としてスループットが低下する場合がある。図6-13に示す例では、1次スイッチS11は1本のリンクに2倍の速度 $2V$ を割り当てることができる。しかし、2次スイッチS21は1次スイッチS12

からの入力セルも受け付けるため、S11へのリンクには速度Vしか割り当てることができない。このため、内部リンク速度の合計は、3Vしか割り当てることができず、リンクスループットが低下する。、 $\alpha \rightarrow$ 大の場合には特定リンクにセルが集中するためこの影響は小さいが、リンクの利用がばらつく負荷状態（平衡負荷： $\alpha \rightarrow 1/N$ ）の場合に影響が大きい。

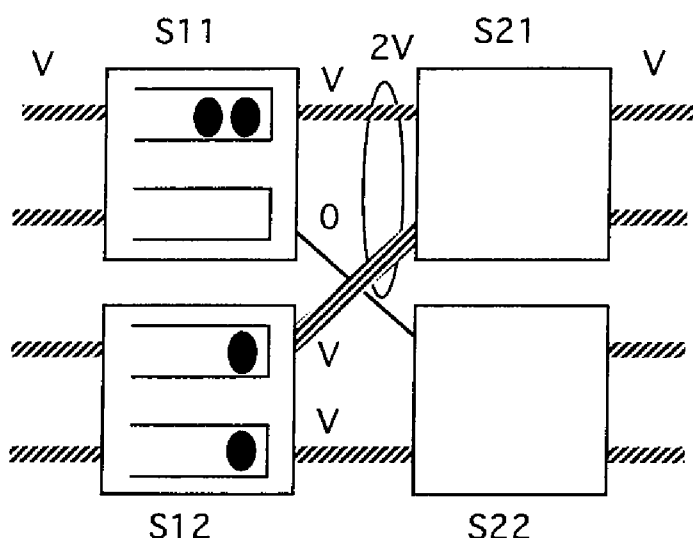


図6-13 リンク利用の衝突によるスループットの低下

Fig. 6-13 Throughput Decrease Caused by Available Link Speed Mismatch

(3) 要因の評価

上記2つの要因毎の影響を評価する。ここで全体の廃棄率をR、2次スイッチビジーに起因するセル廃棄率をR1、リンク利用の衝突に起因するセル廃棄率をR2とする（ $R = R1 + R2$ ）。全体の廃棄率から、片方の影響を取り除くため、内部リンク速度が無限大の時のセル廃棄率を求めて、近似的なR1を求める。求めたR1を図6-14に示す。図に示すように、 $\alpha \rightarrow 1$ の場合にはリンク利用の衝突によるリンクスループットの低下はほとんど起きないため2次スイッチビジーによる廃棄のみであるが、 $\alpha \rightarrow 1/N$ の場合には、両者の影響はほぼ同程度である。

本シミュレーションでは内部リンク速度の制御は各单位スイッチ独立に行う方式を取り上げて評価を行ってきた。他に内部リンク速度制御法としては、通話路全体のリンク使用状況を見ながら、最も効率の良いセル転送を行う（リンク利用の衝突によるスループットの低下をなくす）ことも考えられる。しかしながら、図6-14の結果より、リンク制御を工夫しても2次スイッチビジーによるセル廃棄が同じオーダーで残る。收容回線数やバッファ量により異なるが、ここでのシミュレーションの例では約半分程度までしか廃棄率の向上は期待できない。これはバッファを単位スイッチ当たり数セル分増すことで達成可能である。逆に、リンク速度を通話路全体で管理する方式では通話路が高速・大容量化し

た場合に全体制御を行うことが困難となる。以上のことを考慮すると、リンク速度制御方式は各单位スイッチ独立の簡易な分散制御として制御速度を上げ、リンクに対する負荷の偏りによる特性の劣化に対してはバッファ量の増加で対応することが有効であると思われる。

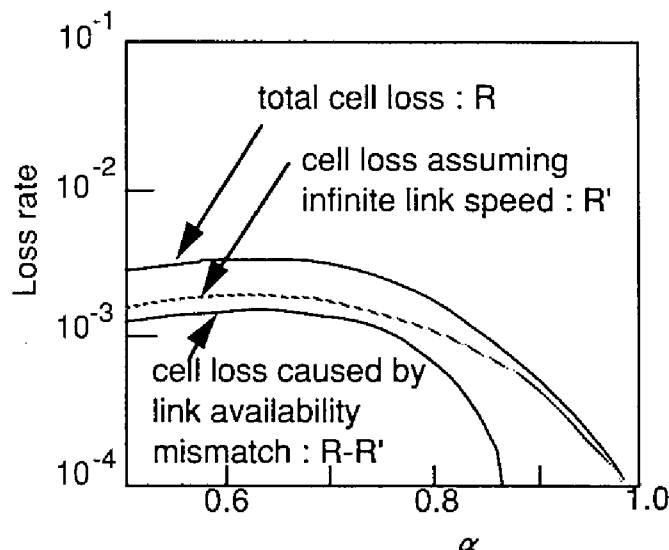


図 6-14 廃棄率の分析
Fig. 6-14 Analysis of cel loss rate

6. 4. 4 性能評価のまとめ

シミュレーションを用いて可変リンク速度通話路の性能評価を行い、以下の結論を得た。

(1) シミュレーションにより可変リンク速度方式の特性を示した。また、従来の固定リンク速度方式との比較により、可変リンク速度方式の有効性を示した。可変リンク速度方式においては、内部リンクに対する負荷が偏っている場合に比べ、平衡負荷の場合の方が特性が劣化する。その特性劣化は廃棄率で1桁程度である。

(2) 可変リンク速度方式のリンク負荷による特性劣化の原因としては次の2つが挙げられる。

(a) リンク利用の衝突によるスループットの低下

(b) 2次スイッチビジーによるスループットの低下

これらのうち、(a)のリンク利用の衝突はリンク速度を通話路全体で制御することにより排除することができる。しかし、(a)、(b)の影響の定量的な評価を行った結果、各々の要因が廃棄率に及ぼす影響はほぼ同程度であり、単位スイッチ内のバッファを数セル分増すことにより同等の効果が得られる。従って、リンク制御方式としては実現性の容易さから

分散制御方式の方が有効であると思われる。

(3) ランダム入力する限りにおいては遅延時間は十分小さく問題はない。通話路の性能条件としては廃棄率のみを考えれば良い。廃棄率は内部リンクに対する負荷が平衡状態で最悪値に近くなるため、平衡状態の特性から必要バッファ量を求めることができる。

6. 5 可変リンク速度共通バッファスイッチLSIの試作と実験

6. 5. 1 LSIの設計方針

初期のATM需要は小さいと想定されるため、ビットスライス方式等の複数のLSIチップを用いて大規模なスイッチを実現する方法はとらず、(1) 1チップ上に機能を集積する (2) スwitchはもとより多重化回路/分離回路等としても汎用的に利用できること、を基本的な設計方針とした。LSIプロセスは0.8ミクロンBiCMOSプロセスで、スタンダードマクロセルによる設計である。

6. 5. 2 スwitchLSIの構成

(1) スwitch規模

LSIの実現可能な速度・集積度条件からswitch規模を決定する。共通バッファ型switchでは、すべての入力端子・出力端子から1個のメモリに多重アクセスするため、メモリの動作速度がswitch規模の制限要因となる。バッファメモリの動作速度は、端子速度・端子数・並列度（一度にread/writeするビット数）で決まる。

共通バッファ型ATMswitchに必要なバッファ量は、図6-15に負荷0.8での、ランダムトラヒックにおけるシミュレーション結果を示すように、廃棄率を 10^{-8} とすると、24 (2x2switchの時) ~ 60 (8x8switchの時) である。セル長を53バイトとすると、バッファメモリのビット数は、10kb~25kbとなる。

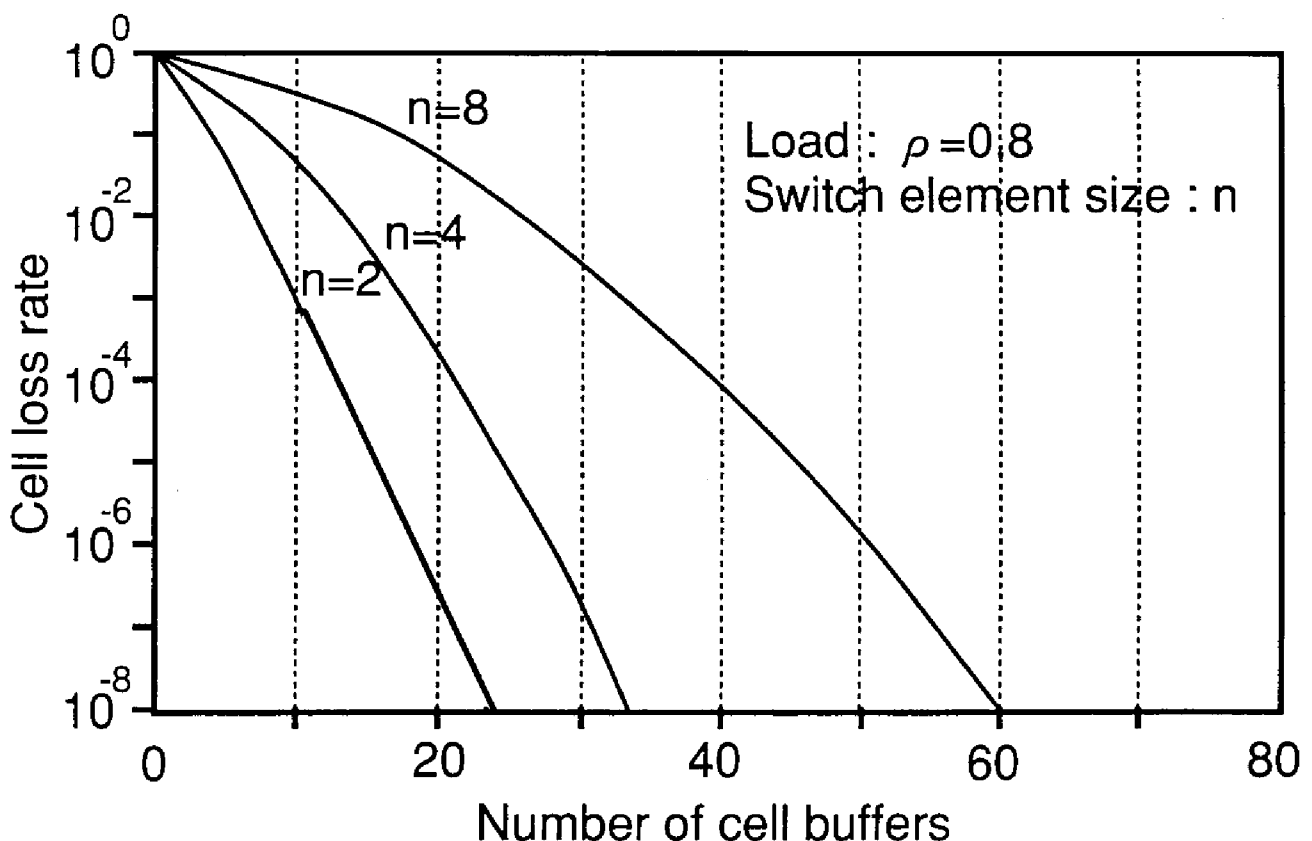


図6-15 可変リンク速度switchの所要バッファ量

Fig. 6-15 Necessary Number of Buffers for Variable Link Speed Switch

(2) バッファの共用法

バッファの共通利用により所要バッファ量を削減できる反面、特定端子のふくそうにより、他のふくそう状態にない端子のセル廃棄率が大きくなり、端子間の品質が独立でなくなる。また、スイッチ間の非同期転送メカニズムにより、ふくそうが前段のスイッチに伝搬し影響が局所化できない。従って、ひとつの端子が占有できる最大バッファ量を制限する部分共用方式が実用的である。図6-16は完全共通バッファと部分共通バッファのセル廃棄率を比較している。2 x 2スイッチで、出力端子Aに向かうトラヒックの比率が増えた時の品質をシミュレートしており、完全共通方式は、端子Aが過負荷状態になると端子A/Bともに品質が劣化する。一方、部分共通バッファ方式では端子Aがふくそう状態になっても、ポートBの品質劣化は無い。

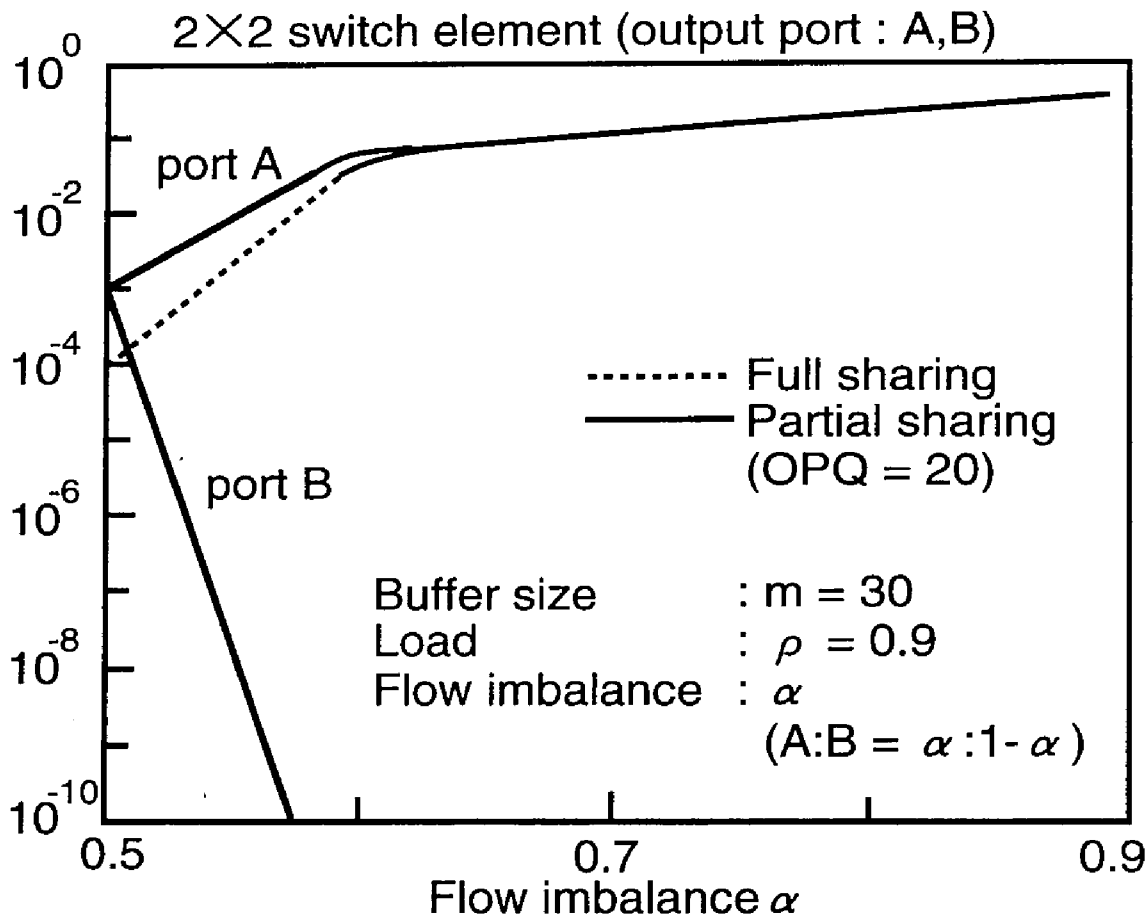


図6-16 バッファ共通化範囲とセル廃棄率の関係

Fig. 6-16 Cell Loss Ratio with Degree of Buffer Sharing

(3) チップ間のデータ転送

チップ間のデータ転送には簡易なフロー制御機能を持たせ、後段スイッチに空きバッファが無い時は前段スイッチからのセル送出を待たせる。バッファ相互間のデータ転送経路を図6-17に示す。セルバッファからのデータは32ビット単位でFIFOバッファに転送され、直並列変換された後4ビット並列データとしてLSIから送出される。次段のL

S Iでは、4ビット並列データが32ビット並列データに直並列変換された後F I F Oバッファに入力され、その後セルバッファに書き込まれる。F I F Oバッファの必要な容量を削減するため、32ビットを1ワードとしたワード単位でデータフロー制御を行う。フロー制御はハードウェアで簡易に制御する必要がある、代表的な実現法には図6-18

(a)に示すような、ワード毎のハンドシェイク制御がある。ハンドシェイクは回路構成が単純な反面、高速化がしにくい欠点がある。送信端から受信端までのデータ伝搬時間及び受信端から送信端に至る制御信号の伝搬時間の和(ラウンドトリップ遅延)でデータ伝送速度が制限される。本ATMスイッチLSI間のデータ転送能力仕様は1リンク当たり620Mb/sで、1ワード分の信号転送時間は50ナノ秒で、立ち上がり時間・デバイス遅延・伝搬遅延を含めて50ナノ秒に抑える必要がある。ユニット間にまたがる場合や架間にまたがる場合を考えると、この範囲に抑えるのは不可能である。従って、図6-18(b)に示すように、 n ワードの入力F I F Oに対して、空き容量が k ワードになったら後段スイッチから前段スイッチに対して送出を停止する信号を出す方法とした。LSI設計値は $k=4$ で、200ナノ秒までのラウンドトリップ遅延が許容できる。

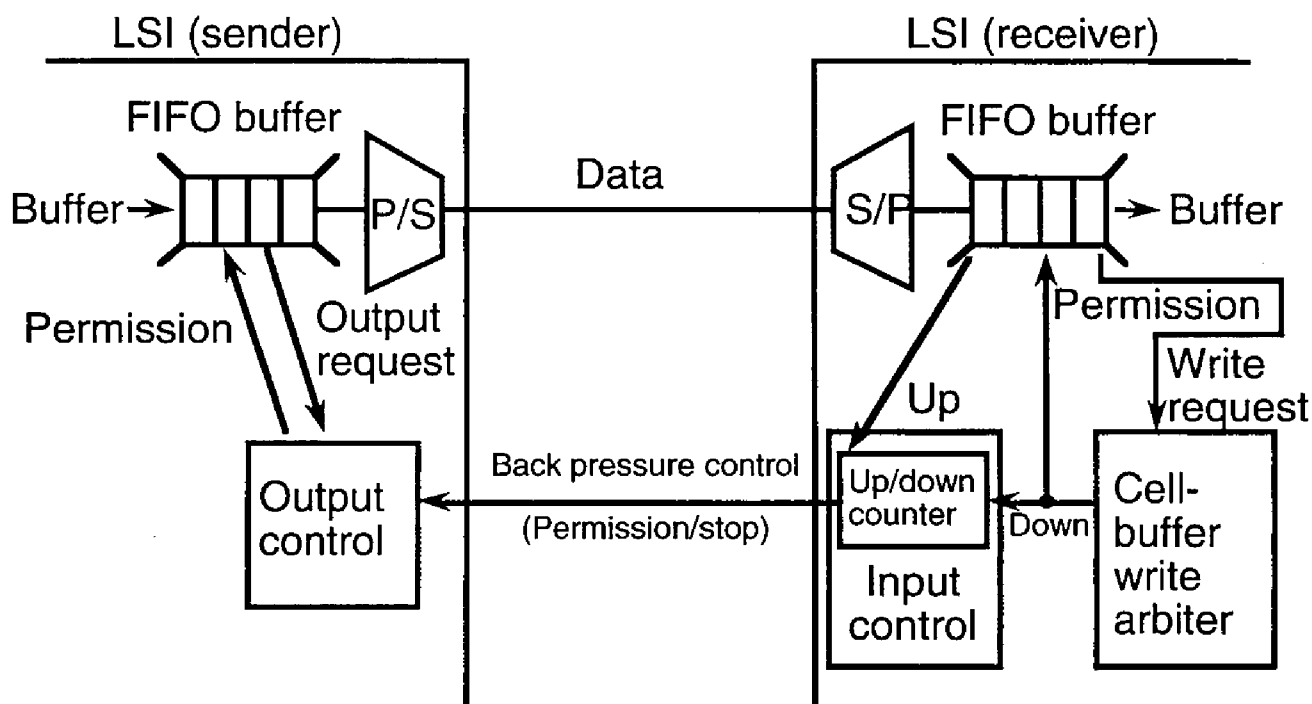


図6-17 スイッチメモリ間のデータ転送経路
Fig. 6-17 Data Transmission Path between Switches

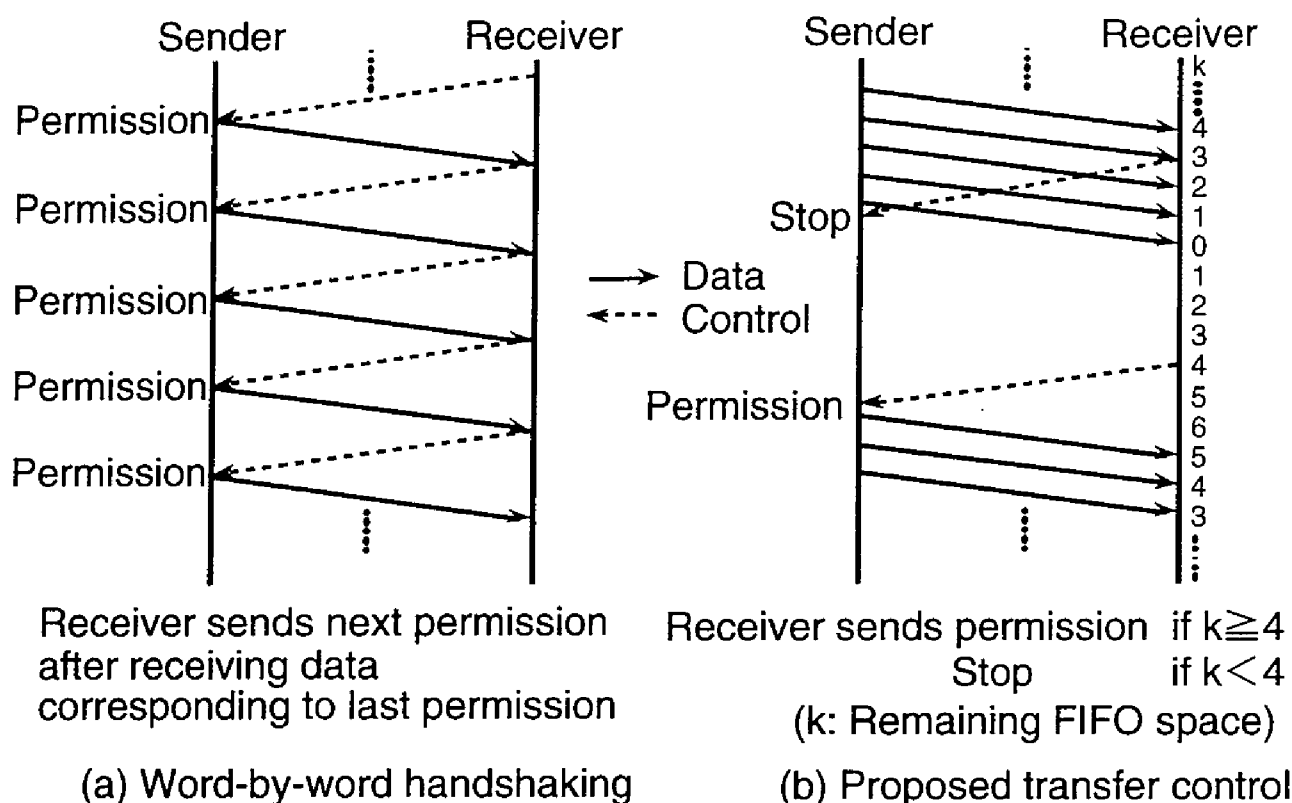


図 6-18 スイッチ間のデータ転送制御アルゴリズム

Fig. 6-18 Data Transfer Algorithm

(4) スイッチ L S I の構成

スイッチ L S I の構成と仕様を図 6-19、表 6-3 に示す。スイッチサイズは 4×4 、スイッチの合計スループットは 620 Mb/s である。L S I は入力インタフェース部、共通バッファ/制御部、出力インタフェース部の 3 種類のブロックからなる。

入力インタフェース部は、受信回路、フィルター回路、F I F O メモリ、受信制御回路からなる。受信回路は外部からのデータ受信、外部とのデータ転送制御、及び直並列変換を行なう。フィルター回路はセルを受信するかどうかの判定を行ない、F I F O はバッファメモリに書き込むまでの一時蓄積と、外部/内部のクロック乗り換えを行なう。受信制御回路は、受信セルから宛先アドレスを取り込み、出力ポートを決定する。また、共通部から空きバッファを取り込み、受信セルの書き込みバッファアドレスを制御する。セルをバッファに書き込むと、バッファ番号を宛先の出力インタフェース部に転送する。

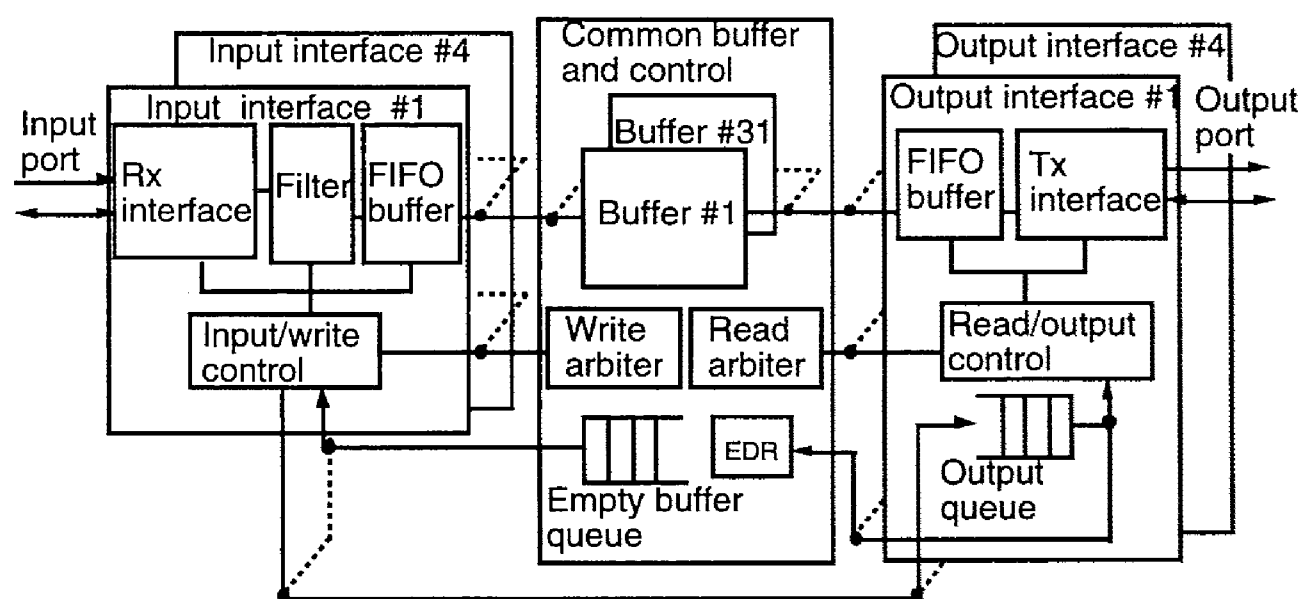
共通バッファ/制御部は、セルを蓄えるバッファメモリ、書き込み/読みだしアービタ、空きバッファ Q、バッファ番号のエラー訂正回路からなる。書き込み/読みだしアービタは、それぞれ入力インタフェース群/出力インタフェース群からのバッファアクセス要求を調停するリングアービタである。空きバッファ番号 Q は、使用されていないバッファ番号をプールする Q であり、セルを外部に送出し終わると、空きバッファとしてバッファ番号が出力インタフェースから転送される。エラー訂正回路は、出力インタフェースから順次転送されるバッファ番号列を監視して、バッファの消滅や 2 重保持等の誤りを監

視して訂正する。

出力インタフェース部は、F I F Oメモリ、送信回路、送信制御回路、出力Qからなる。F I F Oメモリはデータの一時的蓄積用、送信回路は並直列変換、外部へのデータ送出、外部とのデータ転送制御を行なう。送信制御回路は、バッファ番号の管理とバッファメモリ読みだしアドレスの制御を行なう。

本L S Iはプログラマブルな構成を取り、セル長^{注)}、ヘッダエリア、動作モード等が選択可能である。また、セル廃棄等の品質監視やL S Iの動作監視を行っており、これらの情報はバスを通じて上位プロセッサと送受信する。

注) ATMの標準化が進む以前の試作であったため、セル長は4バイト単位の変可である。



EDR : Error detection and restoration

図6-19 可変リンク速度共通バッファスイッチLSIの構成

Fig. 6-19 LSI Configuration of Variable Link Speed Shared Buffer Switch

6. 5. 3 スイッチLSIの実験試作

前節の構成に基づいた可変リンク速度共通バッファスイッチLSIの実験試作を行った。LSIプロセスは0.8ミクロンBiCMOSプロセスで、スタンダードマクロセルによる設計である。表6-3はLSIの仕様を示す。

表 6-3 可変リンク速度共通バッファスイッチ L S I の仕様
Table 6-3 LSI Specification of Variable Link Speed Shared Buffer Switch

Switch size	4x4
Maximum throughput	620 Mb/s (total)
Line clock	Up to 155 MHz (variable per port)
System clock rate	39 MHz
Link speed control mode	Variable/fixed
Cell handling mode	Switch/multiplexer/demultiplexer dropper/insertter
Cell length	Programmable(max 128 bytes)
Header format	Programmable
Number of buffers	31
Output queue length	16
Interface level	TTL compatible
Supply voltage	5 V
Package	208 PGA
Power dissipation	3.4 W (MAX)
LSI process	BiCMOS

6. 5. 4 L S I を用いたスイッチ装置の実験試作

L S I を用いた 1 5 0 Mb/s 回線 6 4 x 6 4 のスイッチ装置を実験試作した。スイッチ網の構成は図 6-20 に示すように、4 x 4 スイッチ L S I を 3 段接続した。内部リンク速度は 6 2 0 Mb/s 以下の範囲で可変であるため、どのようなトラヒック交流パターンにも対応可能である。

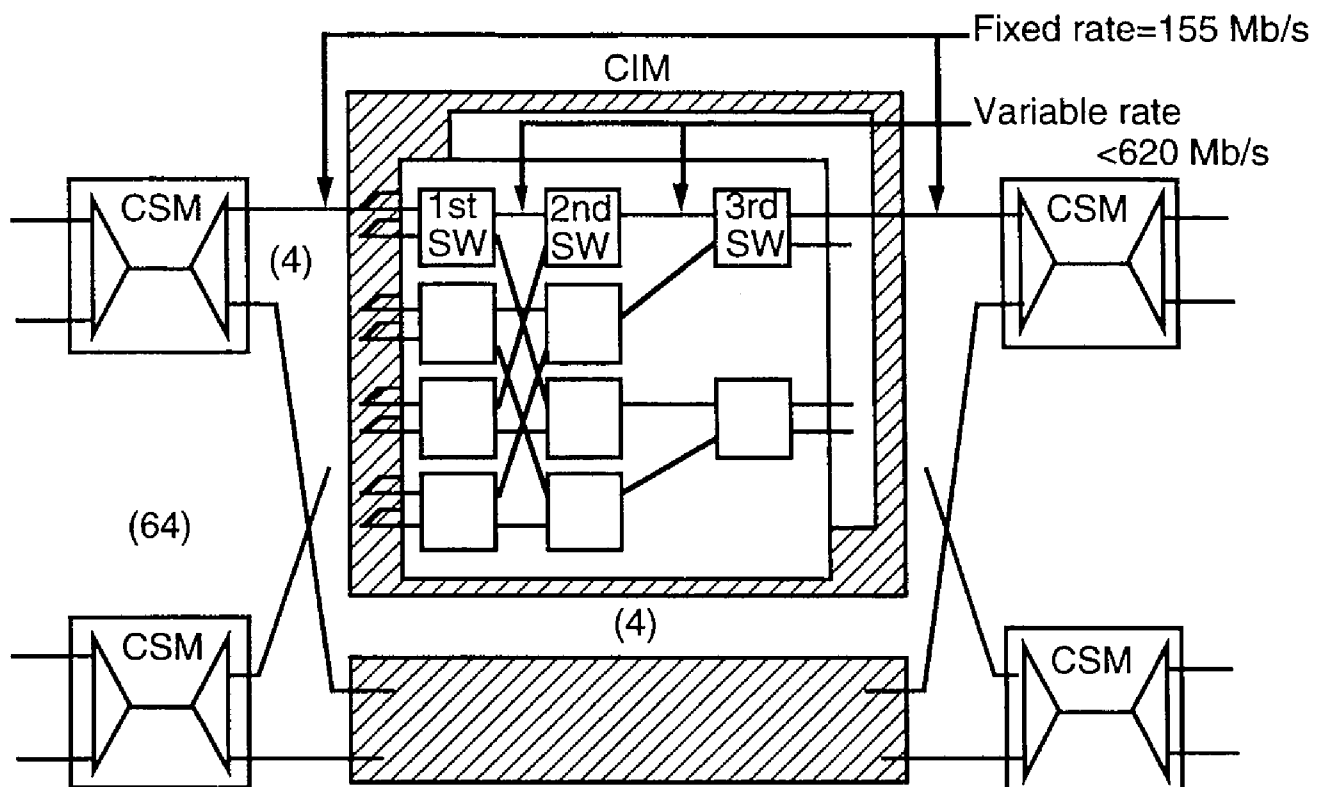


図6-20 可変リンク速度共通バッファスイッチLSIを用いた64x64
スイッチ装置の構成

Fig.6-20 Configuration of 64x64 ATM switching network using developed LSI's

6. 6 むすび

共通バッファスイッチの容量制限要因であるメモリの動作速度を最大限活用し、かつATM特有のリンクスループット制限を回避することをねらいとした、可変リンク速度共通バッファスイッチを提案した。可変リンク速度共通バッファスイッチは、アービタによるメモリアクセス割り付け、ハンドシェーク手順によるスイッチステージ間転送といった比較的シンプルなハードウェアの追加によって、リンク速度をダイナミックに可変に制御できる。

可変リンク速度スイッチ網は、スイッチステージ間のリンク過負荷に強い特性を持つことをシミュレーションにより示すとともに、可変リンク速度方式のスループット制限要因を分析した。

上記の可変リンク速度共通バッファスイッチをCMOS 0.8ミクロンプロセスを用いてLSIを実験試作した。スイッチ規模は4x4で合計620Mb/sのスイッチ能力を持つ。バッファは、ポート間の品質の公平性のために、部分共通型を採用した。本LSIは、NTTの研究所内の実験システムに組み込まれ、3段接続により155Mb/s回線64本を交換するスイッチ装置として動作を確認した。

参考文献

- [6 - 1] T.Takahashi, H.Kataoka and M.Hirano,"Broadband Packet Switching Network Featuring Dynamic Control of Link Speed," 信学論 Vol.71-E, No.9, pp.869-875, Sep.1988
- [6 - 2] H. Sakakibara, H. Kataoka, M. Hirano, T. Takahashi, "A Broadband Packet Switching System Architecture Based on Flexible Packet Switch Fabric with Dynamic Link Speed Control," in Proc. of IEEE COMSOC International Workshop on Future Prospects of Burst/Packetized Multimedia Communications, pp.5.4, Nov. 1987
- [6 - 3] T. Koinuma, T. Takahashi, et al., "An ATM Switching System Based on a Distributed Control Architecture," Proc. of ISS'90, vol.V, pp.21-26, May 1990
- [6 - 4] H. Yamada, S. Yamada, H. Kai, and T. Takahashi,"A Multi-Purpose Memory Switch LSI for ATM-Based Systems," Proc. of GCOM'90, Vol.3, pp.1602-1608, Dec. 1990

7. 1 高速化の意義とねらい

NTTのVI&Pサービスビジョンで構想されているように、各家庭まで光ファイバが伸び、現在の電話サービス並に映像サービスが普及する時代には、更に大量のユーザ情報を扱うATMスイッチが必要となる。図7-1に例を示すように、現在と同様の通信網構成や交換局配置を仮定し、現在のN-ISDN交換機(D70)と同一の加入者収容数を仮定した場合には、1交換機当たりの情報量はテラビットクラスの規模となる。このような大規模のATMスイッチを実現するためには、図7-2に示すように、低速の回線を多数収容可能な大規模スイッチ網を実現する方法と、複数の低速回線を高速回線に多重化して交換する方法がある。高速スイッチを用いる方法は、高速なデバイスや実装技術が必要とするため装置単価が高くなる欠点を持つ反面、多重化により次の利点がある。

- (1) 多重化による設備数の削減
- (2) 統計多重化効果による設備使用率の向上
- (3) 収容端子数の減少によるスイッチ段数の削減

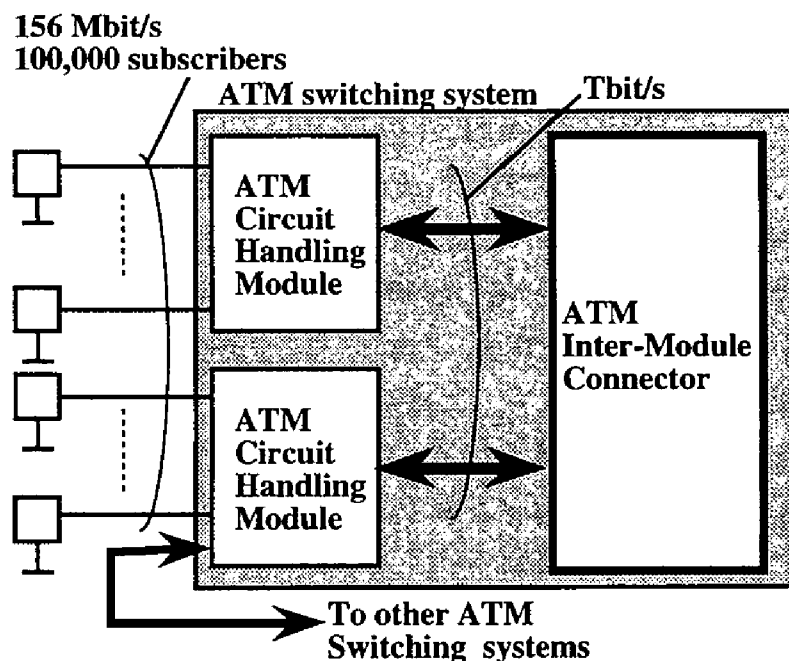


図7-1 B-ISDN普及期のATMスイッチの必要容量
Fig. 7-1 ATM switch capacity requirement for matured B-ISDN era

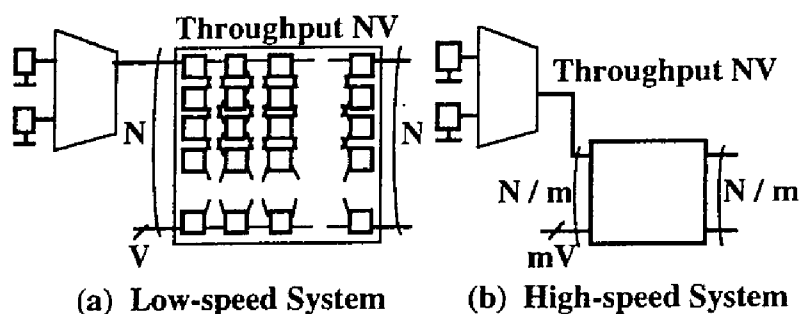


図 7-2 低速システムと高速システム
Fig.7-2 Low-speed system and high-speed system

ATM交換機はインタフェース部分とスイッチ部分からなり、インタフェース部分では上記(1)と(2)の効果が期待でき、スイッチ部分では上記(1)～(3)が期待できる。以下では具体的にその効果を推定する。

(1) 局内インタフェース部の評価

図7-3は以下の条件で、インタフェース速度と、その上で運べる情報量の関係をシミュレーションにより求めたものである。

☆トラヒックモデルーピーク速度50Mb/s、平均20Mb/sの可変速度符号化映像

☆目標品質条件ーセル廃棄率 10^{-6}

図はそれぞれのインタフェース速度における、目標廃棄率を満足する同時接続数の最大値(m)を求め、その際の各インタフェースの使用効率を、155Mb/sシステムとの相対値で示している。例えば、2.4Gb/sシステムは155Mb/sを16本用いるシステムの1.6倍、10Gb/sシステムでは155Mb/sを64本用いるシステムの2.2倍の情報転送能力があることが分かる。

呼のそ通能力で評価すると図7-4を得る。交換機の内部呼損率を0.001とすると、10Gb/sシステムは155Mb/sインタフェースを64本使用するシステムの2.4倍のトラヒックを扱うことができる。

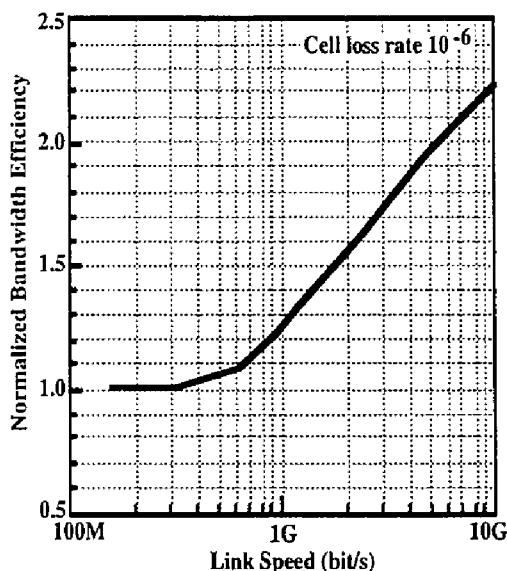


図 7-3 セル転送能力に基づく
局内リンクの使用効率
Fig. 7-3 Cell Transfer Capacity

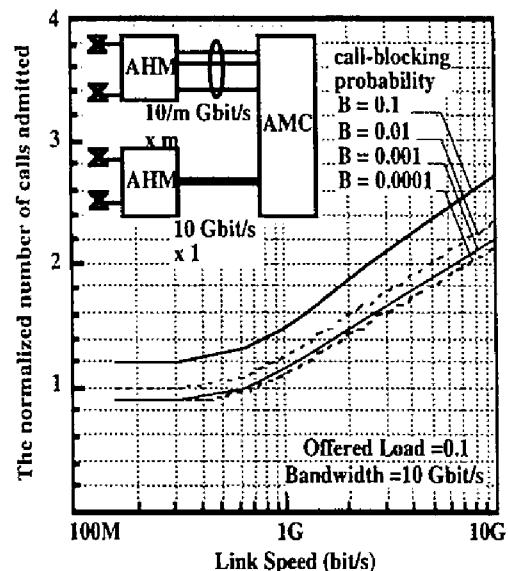


図 7-4 呼疎通能力に基づく
局内リンクの使用効率
Fig. 7-4 Call Handling Capacity

(2) スイッチ部の評価

局内インタフェース部の評価で見たように、インタフェースの高速化により、スイッチへの入出力端子数を著しく軽減できる。容量を一定とすると、例えば 10 Gb/s と 155 Mb/s を比べると、速度比の 64 倍に加えて、前節で評価したインタフェース当たりの呼量容量の違いが加わる。例えば、155 Mb/s の局内リンク 10,000 本と等しい呼量容量を持つシステムは、10 Gb/s の局内リンク 66 本で実現できる。

このため、155 Mb/s の動作速度のシステムでは、10,000 回線相互を交換するスイッチが必要となり、必要なスイッチ段数も多くなる。単位スイッチ規模を 8×8 とし、Closs のノンブロック通話路を前提とすると、入出力回線数とスイッチ構成の関係は図 7-5 に示すものとなる。例えば 64 回線の場合、スイッチ 3 段で構成でき、端子当たりの X P 数は 48 となり、4096 回線では、スイッチ 7 段で、X P 数は 64 回線の 6 倍必要で 288 となる。10 Gb/s 回線 66 本と、155 Mb/s 回線 10,000 本の場合を比較すると、必要な X P 数は、仮に端子当たり X P 数の比を 6 倍としても、次のようになる。

$$6 \times 10,000 / 66 = 909$$

A TM では、高速スイッチは、多重化効果に加えて、統計多重化効果とスイッチ段数の削減が寄与するため、高速なスイッチの利点は極めて大きい。

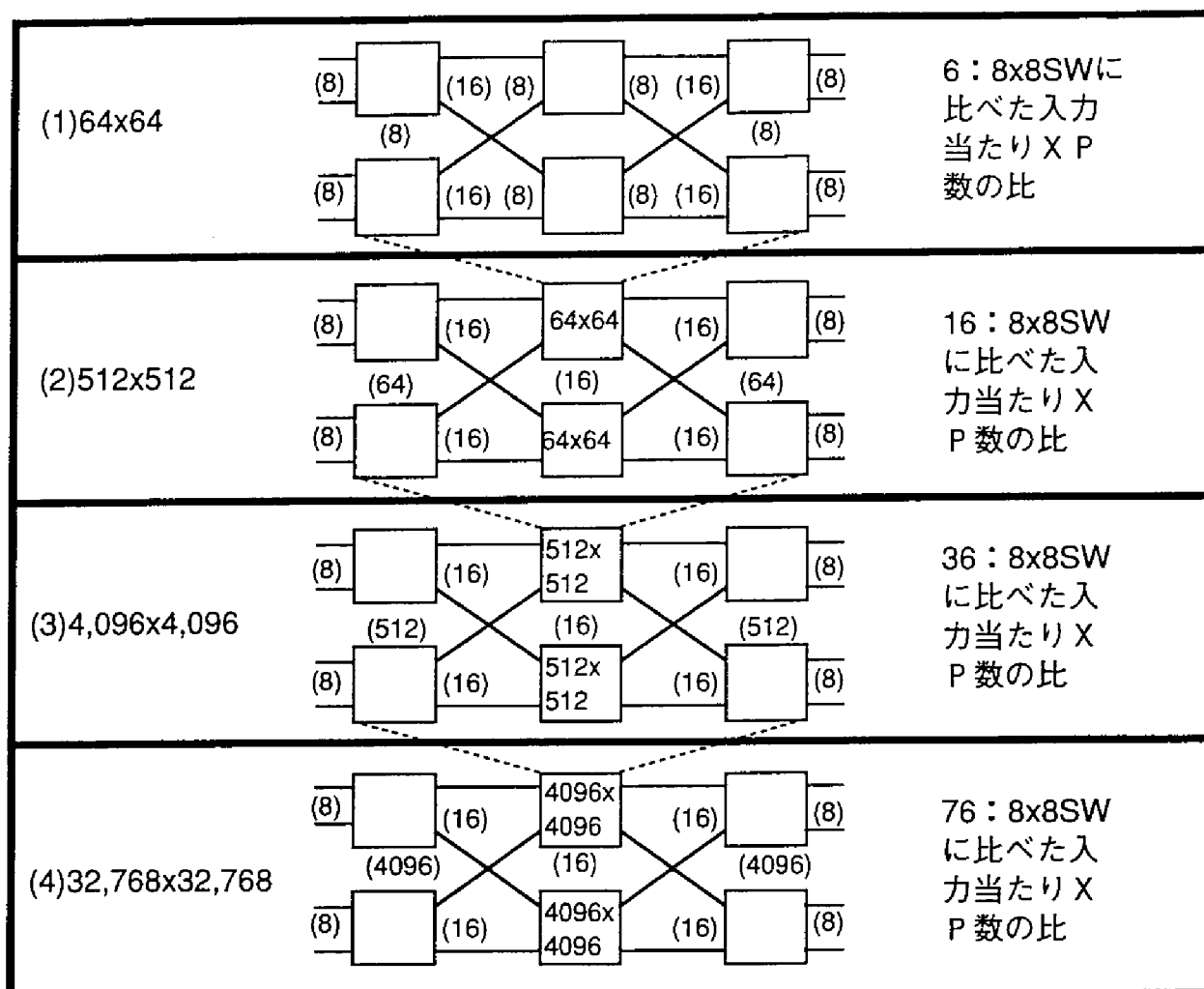


図 7-5 規模毎のスイッチ構成
Fig. 7-5 Switching Network Configuration

7. 2 高速化に適したATMスイッチアーキテクチャ

5章で述べた各種のATMスイッチの構成法の中で、マトリクスバッファ方式[7-2]と入出力バッファ方式は、バッファメモリの動作速度が、スイッチ規模と無関係に一定でよく、スイッチ規模と共に高速化させる必要がないため、高速スイッチに適している。

スイッチサイズをNとすると、マトリクスバッファ方式は、メモリ内蔵のクロスポイントスイッチデバイスが N^2 個必要で、入出力バッファスイッチは、メモリ内蔵のデバイスが $2N$ 個と、バッファレスのクロスポイントスイッチデバイスが N^2 個必要となる。従って、バッファレスのクロスポイントスイッチをコンパクトかつ低消費電力で実現できれば入出力バッファスイッチが有利となる。

7. 3 入出力バッファスイッチの構成

(1) 高速入出力バッファスイッチの構成

高速動作を狙いとした入出力バッファスイッチの基礎実験を行った。図7-6にプロッ

ク構成を示す。主な構成要素は入力バッファLSI、クロスポイントスイッチLSI、出力バッファLSIである。入出力回線のスループットは10Gb/s、スイッチ内部のスループットは20Gb/sである。クロック速度は620Mb/s一定で、入出力回線は16ビット並列、スイッチ内部は32ビット並列で交換する。

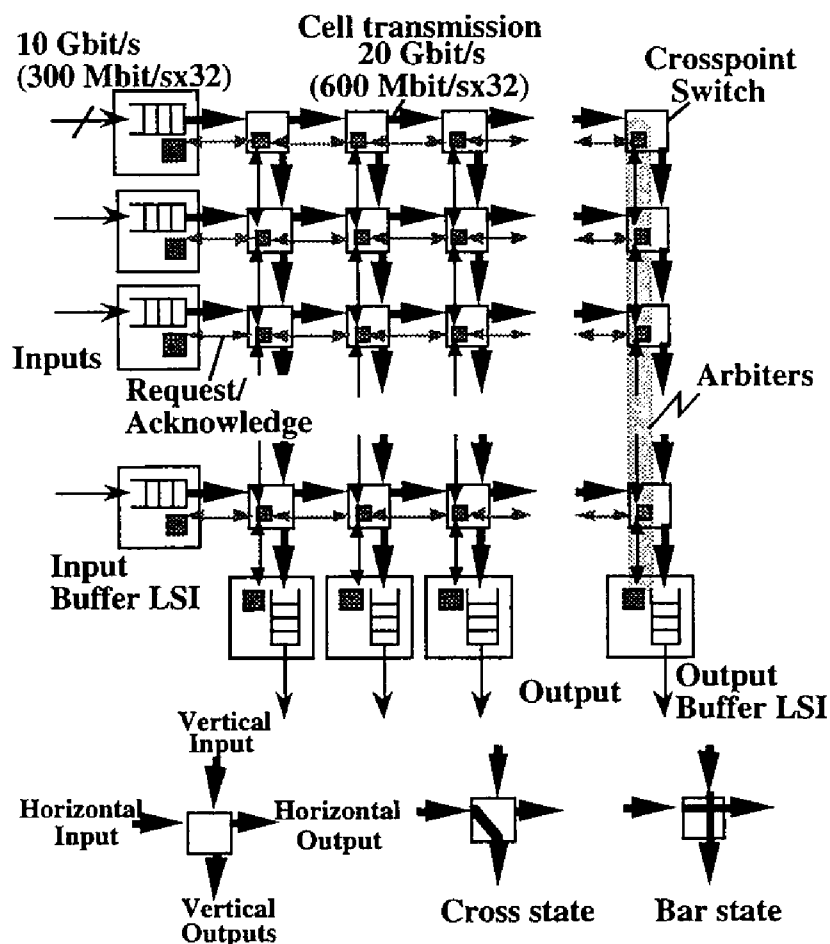


図 7-6 高速入出力バッファスイッチの構成
Fig. 7-6 Configuration of High-Speed Input/Output Buffer Switch

(2) バッファ容量設計

入出力バッファスイッチでは、出力バッファと入力バッファでセルの廃棄が起こる。図 7-7 はシミュレーションにより求めたセルの廃棄率を示す。セルの到着と宛先はランダムとし、スイッチ内部と入力及び出力回線との速度比 L は 2 とする。入力回線負荷 0.9 で、廃棄率 10^{-10} を満足するには、入力バッファは 63 セル以上、出力バッファは 51 セル以上必要なことがわかる。

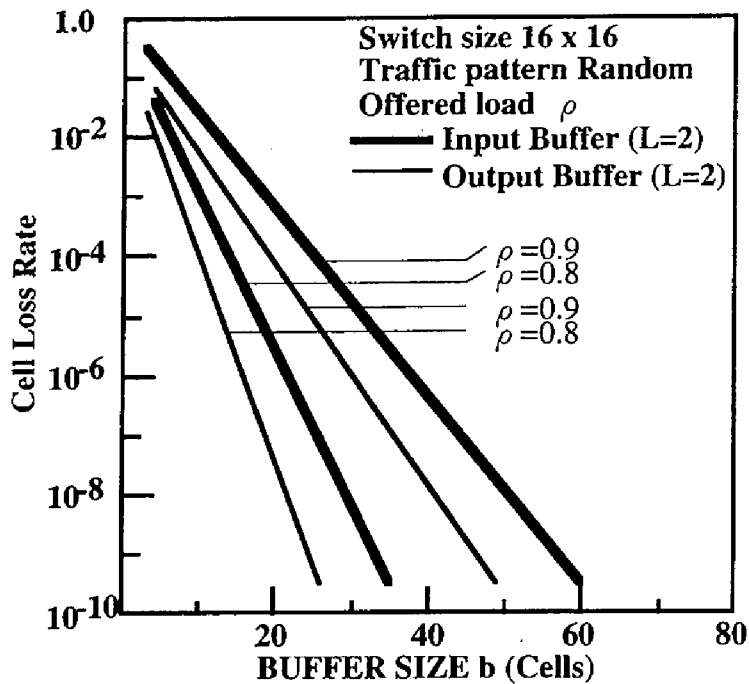


図 7-7 バッファ容量の設計
Fig. 7-7 Buffer Capacity Design

(3) キーデバイスの構成

クロスポイントスイッチ LSI は、高速性が要求されるため、SST-1B プロセスを適用した。入出力ピンネックとなるため、1x1 のクロスポイントをそれぞれ 1 個の LSI とし、LSI の集積規模は 5k ゲートである。

入出力バッファは高速動作とともに、セルバッファが必要なため高集積の必要があり、BiCMOS プロセス技術を適用した。入力バッファ LSI、出力バッファ LSI の集積規模は 15k ゲート + 30k ビットで、バッファ容量は 64 である。

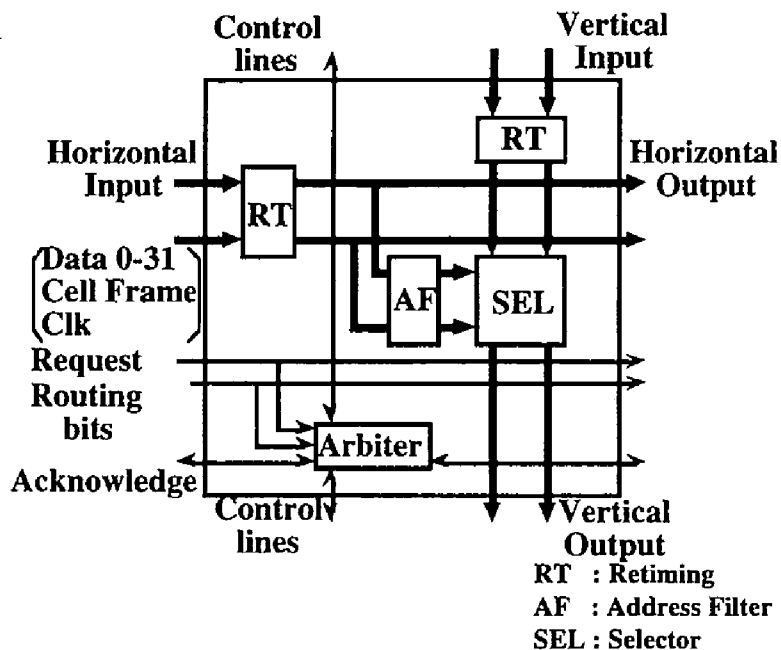


図 7-8 クロスポイントスイッチ LSI の構成
Fig. 7-8 Crosspoint Switch LSI

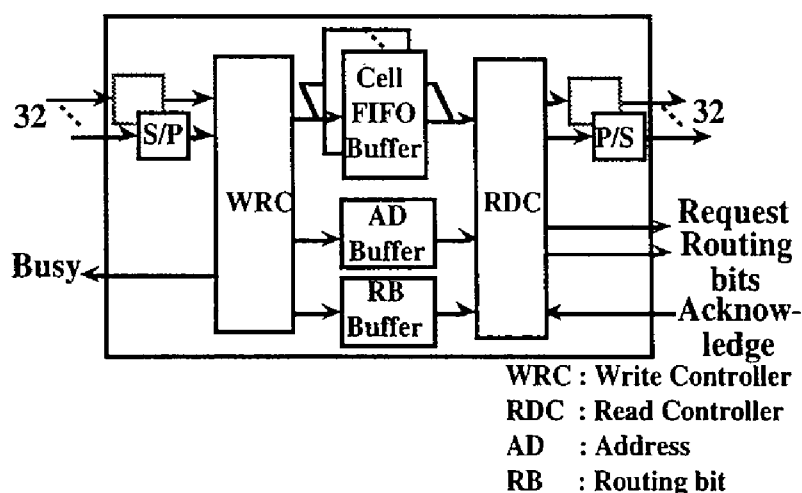


図 7-9 バッファ LSI の構成

Fig. 7-9 Buffer LSI

7. 4 むすび

B-I S D N の普及期を想定した高速入出力バッファスイッチの構成と設計例を示した。各家庭がファイバで結ばれる F T T H 時代には、交換機当たりテラビットのスイッチ容量を持つ交換機が要求される。テラビットクラスのスイッチ網の構成法としては、多数の回線を多重化してスイッチングする高速スイッチが有利であることを示した。また高速スイッチの構成法として、デバイスの特性との親和性から、入出力バッファスイッチ網をとりあげてスイッチ網の設計例を示した。入出力バッファスイッチ網は、バッファ L S I とクロスポイントスイッチ L S I から成り、バッファ L S I には集積度の高い B i C M O S プロセスを、クロスポイント L S I は動作速度の高い高速 L S I プロセスを適用する。机上検討の結果、入出力回線速度は 1 0 G b / s 、内部動作速度は 2 倍の 2 0 G b / s の高速スイッチが実現可能な見通しを得た。本研究は共同研究者等によってその後も継続され、高速なアービトレーション技術 [7-3] や高速なマルチチップ実装技術等を適用して、1 6 x 1 6 のスイッチ規模で実験に成功している [7-4] 。

参考文献

- [7-1] Y. Doi, H. Yamada, K. Endoh, and T. Takahashi, "A Very High-speed ATM Switch with Input and Output Buffers," Proc. of ISS'92, A8.2 (1992)
- [7-2] 朝永、松岡、加藤、渡邊、" 広帯域 I S D N 用超高速 A T M スイッチの試作"、信学会、交換研究会資料、S E 9 1-1 1 5、Mar. 1992
- [7-3] 遠藤、土井、山中、福田、" 階層型アービトレーションによる高速 A T M スイッチ構成法"、信学会、交換研究会資料、S E 9 2-1 0 4、Nov. 1992
- [7-4] N. Yamanaka, K. Endo, K. Genda, H. Fukuda, T. Kishimoto and S. Sasaki, "320Gb/s

high-speed ATM switching system hardware technologies based on copper polyimide MCM,"
IEEE Tr. CPMT, Vol.18, No.1, pp.83-91, Feb. 1995

第8章 リングスイッチ [8-1] [8-2] [8-3]

8. 1 リングを用いたATMスイッチ

複数のノードを高速の伝送路でリング状に接続し、高速伝送路をノード全体で共有するリングスイッチもATMスイッチとして機能する。このリングスイッチは、各ノードの入出力速度 (V_i) と高速伝送路の速度 (V_0) 並びに同時接続中の通信速度 (V_c) の関係により、次の3種類に分かれる。

タイプ1: $V_0 > n V_i$

多重化回路と同様に、特別な制御を行わなくてもノンブロックである。

タイプ2: $n V_i > V_0 > n V_c$

回線交換同様に、速度変換用のバッファを持つだけで、通信中のセル廃棄は起きず、通信品質は確定的に保証される。但し各ノードは障害等を想定して、許可された通信のピーク速度以下のセル送出となるよう制御が必要である。

タイプ3: $n V_c > V_0$

パケット交換と同様、通信品質は統計的に保証される。

以下では、音声・データ等のリアルタイム通信には主にタイプ2、データ等に対してはタイプ3を想定したサービス総合LANとしてのリングスイッチを扱う。伝送路として、方向の異なる伝送路を2本用い、高速化に対応してスロットリングを対象とする。宛先ノードでスロットを解放し、そのスロットを再利用することによってネットワークの使用効率を向上させる。以下では、スロットの再利用を可能にするメディアアクセス制御プロトコルの提案とその性能評価、ならびに100 Mb/sの伝送速度を持つ実験システムを述べる。

8. 2 リングスイッチの構成

リングスイッチは図8-1に示すように、リング全体を制御するヘッドエンド、情報の入出力を行なうステーションノード、及び高速のリング状伝送路から成る。

ヘッドエンドは、フレームの発生、受信信号・送信信号の同期、ガーベージコレクションと呼ばれる無効情報の廃棄等のスイッチ全体に共通な機能を実行し、ステーションノードは予め決められたメディアアクセス制御 (MAC) プロトコルに従った情報の送受信を行う。

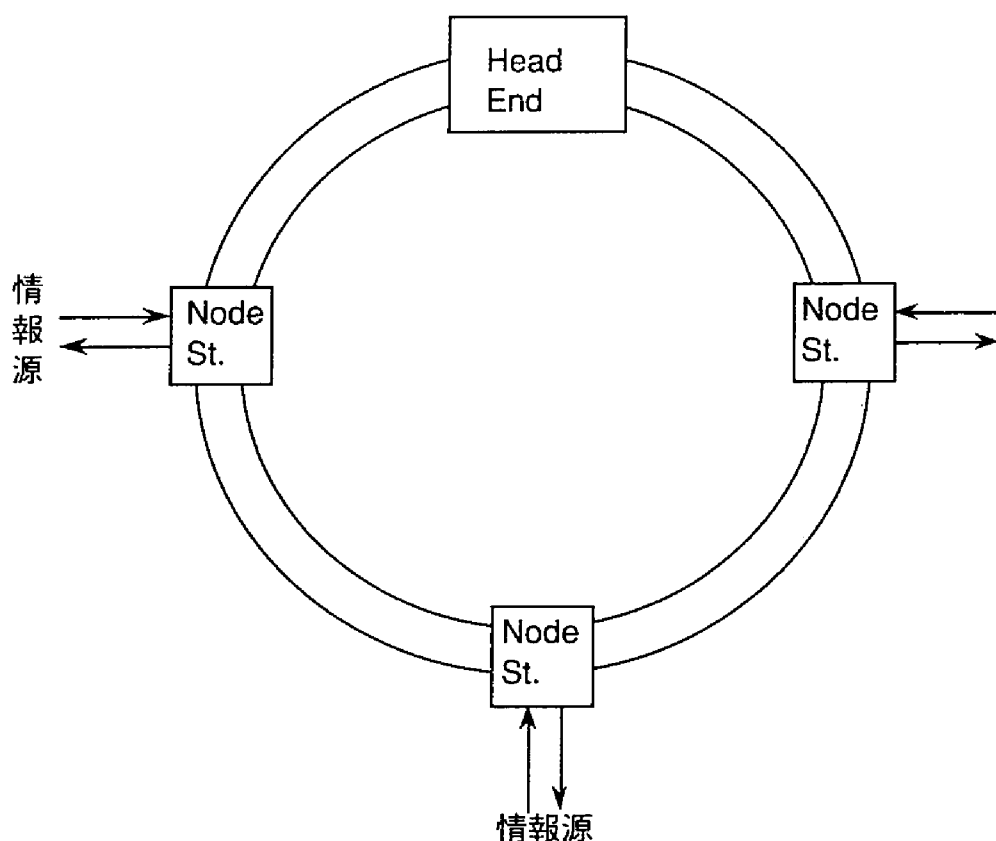


図 8-1 リングスイッチの構成
Fig.8-1 Ring Switch Configuration

8. 3 受信側でスロットをリリースするMACプロトコル

複数のノードで伝送路を共有するシェアドメディアシステムでは、メディアアクセス制御プロトコルと呼ばれる共通規約により、情報の同期、ノード間のサービスの公平性、伝送路障害時の切替制御による運転の継続、ノイズ等で生成される異常パケットによるリソース占有の回避等の機能が実現される。提案方式は、リングトポロジを前提にしており、高速な伝送路でも高効率なよう、スロット型で、受信側でリソースを開放する方式である。更に、データのみならず、遅延時間や遅延揺らぎ時間への制約の厳しい音声や映像等の即時情報を扱い得る特徴を持つ。伝送回路は、FASNET [8-4] と同様な回路を用いる。FASNETは方向性結合器を用いたユニディレクショナルな放送型伝送媒体を使用しており、各ノードでは信号の再生中継を行わず、複数のノードが同一ビットに多重書込みした場合には、信号は"1"となる。しかし、本システムでは、スロットの再利用を行うため、ノード間の信号伝送区間毎に独立した信号伝送とする。

フレームフォーマットを図8-2に示す。スロット長はヘッダを含めて32バイトであり、音声・映像等のリアルタイム通信を短遅延でサポートできる。SYNCフィールドは3ビットから成り、スロット同期に用いる。メディアアクセス制御フィールドは5ビットから成り、音声／ビデオ等の即時通信用の周期かデータ通信用の周期かを識別するV/Dビット、サイクルスタートビット、当該スロットが使用中か否かを示すビジービット (B

B)、当該スロットが使用されたことがあるかどうかを示すビジーレコードビット(BR)、ガーベージコレクションのためのトランスファーレコードビットから構成される。更に宛先ノードと送信ノードを示す各8ビットのアドレスフィールド、8ビットの論理チャンネル番号フィールドを含めて4バイトのヘッダフィールドが各スロットの先頭に配置される。

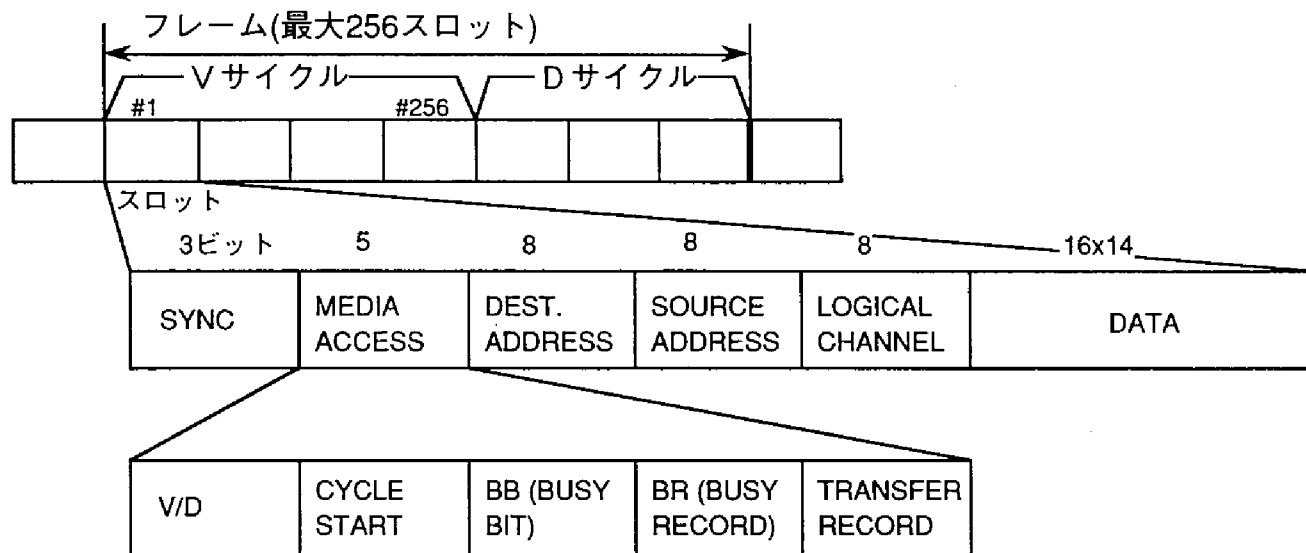


図 8-2 フレームフォーマット

Fig. 8-2 Frame Format

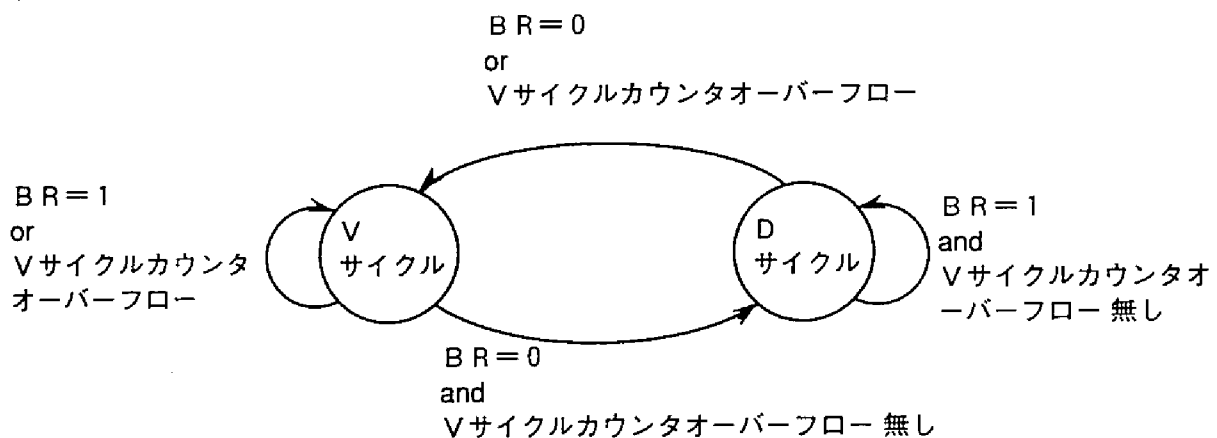
ヘッドエンドは上記のフレームを生成して、送出するとともに、V/Oビット、サイクルスタートビットを用いたスロット送出制御、トランスファーレコードビットを用いたガーベージコレクション機能を実行する。

各ノードは、自ノード宛のフレームを受信すると、そのフレームを取り込むと同時に、該当フレームのビジービットをアイドル状態にする。送信要求があると、送信フレーム種別のサイクルスタートを待つ。サイクルスタートを受信した後、ビジービットがオフのフレームを受信すると、そのフレームで情報を送信する。フレームを送信する場合は、ビジービットとビジーレコードビットをオンとする。

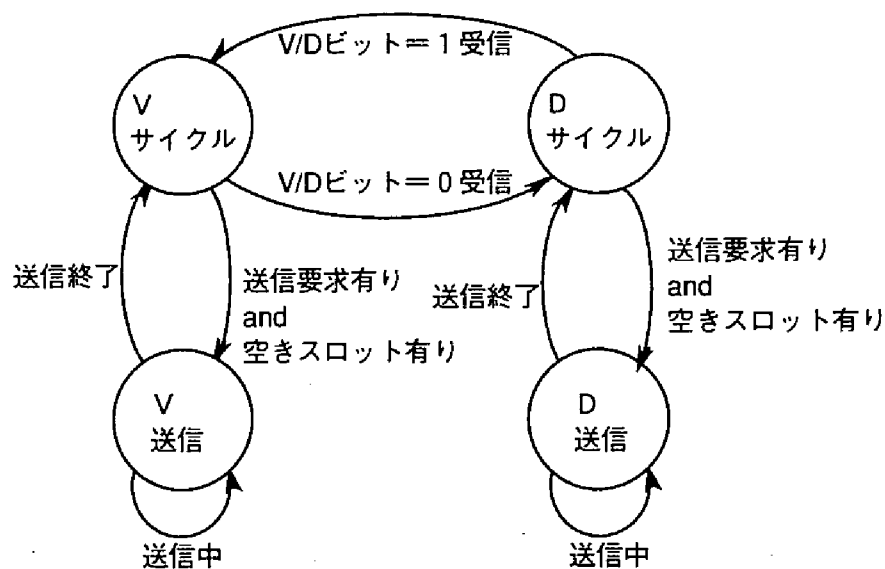
ヘッドエンドは、フレームを生成し、サイクルを制御する。図8-2に示すように、音声/ビデオ通信は、周期的に開始する。ヘッドエンドはV/Dビットとサイクルスタートビットにより、周期的に音声/ビデオ通信を開始する。音声/ビデオ通信が開始されると、送信要求のあるノードは音声/ビデオフレームの送出を行なう。各ノードからのフレーム送出が完了すると、どのノードからも利用されなかったアイドルフレームがリングを一巡する。ヘッドエンドはビジービットとビジーレコードビットがともにオフのフレームを受信することにより、各ノードからのフレーム送信が終了したことを知り、V/Dビットをデータとすることにより、データフレームの送信に移る。データ送信周期の開始は同様に、各ノードからのデータフレーム送信終了をヘッドエンドが認識して行なわれる。但し図8

ー4に示すように、音声／ビデオ通信周期で分割される複数のデータ周期にまたがって、一つのデータ通信サイクルが作られることがある。ヘッドエンドの他の役割には、スロット周期と一巡伝播遅延の遅延時間調整、ガーベージコレクションがある。ヘッドエンドはビジービットがオンのフレームを受信すると、該当フレームのトランスファーレコードビットをオンにして送出する。ヘッドエンドはトランスファーレコードビットがオンのフレームを受信すると廃棄する。これにより、異常フレームがリング上を巡回し続けることはない。

以上述べたMACプロトコルに基づくヘッドエンド及び各ノードの状態遷移を図8-3に示す。また動作例を図8-4に示す。



(1) ヘッドエンドの状態遷移



(2) ノードステーションの状態遷移

図8-3 状態遷移
Fig. 8-3 State Transition Diagram

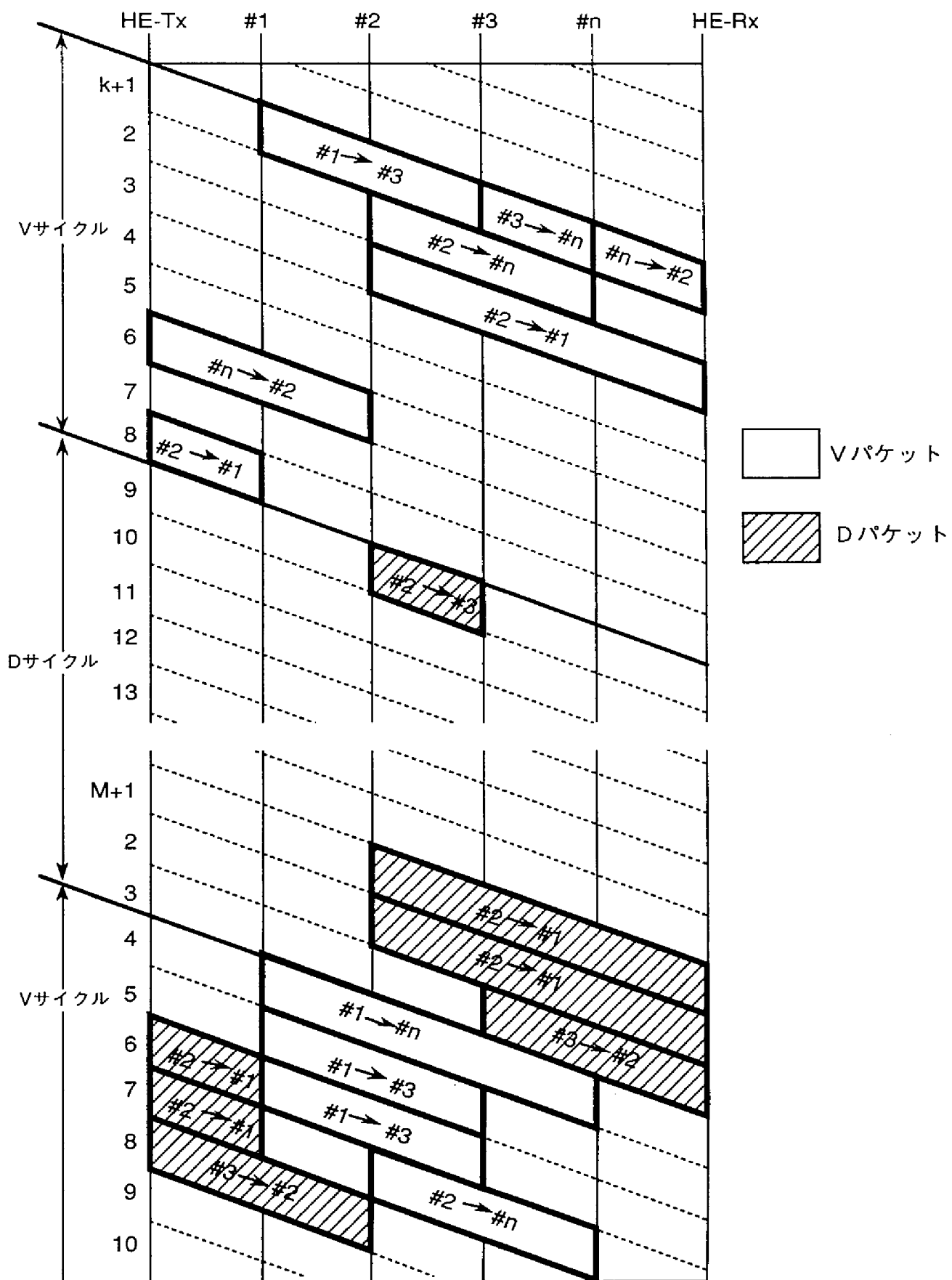


図 8 - 4 動作例
Fig. 8-4 Operation Example

8. 4 実験システム

8. 4. 1 実験システムの概要

実験システムは図8-1に示す構成であり、100Mb/sの速度を持つ方向の異なる2本のリング伝送路を持つ。伝送路は、FASNET同様の同軸ケーブルによる電気信号伝送と、光信号伝送の2つのバージョンがあり、性能は同様である。プロトコル処理回路は、ECL10kの個別部品により構成した。

実験システムは各種メディアアクセス制御プロトコルを評価するためのテストベッドとしての性格を併せ持たせており、リソース制御法(回線交換モード/パケット交換モード)およびサイクル制御の有無(2種類/1種類/サイクル無し)がプログラマ的に設定可能である。

リソース制御に関する2つの通信モードのうち、回線交換モードでは、通信個別に必要な帯域を割当て(可変速度通信ではピーク速度)するため、受け付けられた通信は確定的に品質が保証される。一方、パケット交換モードでは通信全体で帯域を共通利用するため、統計的に品質を保証する。

サイクル制御に関しては、2種類のサイクル、1種類のサイクル、サイクル無しの3通りが選択可能である。2種類のサイクルを持つシステムでは、1種類の周期は音声/ビデオ等の即時的な通信のために用いられ、他の周期はデータサービスのノード間のサービス公平性を保つ役割を果たす。1種類のサイクルのみを持つシステムでは、ノード間のサービス公平性のみがサイクル制御によって実現される。サイクルを持たないシステムでは、各ノードがランダムにパケットを転送する。

8. 4. 2 性能評価

リングシステムの性能を左右する要因には以下のものがある。

ノードからの発生トラヒック

ノード数

伝搬遅延

サイクル長

以下ではサイクル種別の性能に及ぼす影響を評価するため、計算機シミュレーションにより、映像、音声、データ混在下での、トラヒック性能を評価する。性能評価にあたってのサイクル制御の条件は以下の通りである。

(1) 0サイクル方式：図8-5(a)に示すように、各ステーションは送信すべき情報が有り、かつスロットが空きの時に随時情報を送信する。

(2) 1サイクル方式：図8-5(b)に示すように、各ステーションは送信すべき情報が有り、サイクルスタートを認識すると、サイクル内に一定数のパケットを送信する。サイクルの最大長は256スロットである。

(3) 2サイクル方式：図8-5(c)に示すように、サイクルには音声・映像を送信するためのVサイクルと、データを送信するためのDサイクルがある。各ステーションは送信すべき情報が有り、情報種別毎のサイクルスタートを認識すると、サイクル内に一定数のパケットを送信する。サイクルの最大周期は256スロットである。



図8-5 サイクル制御
Fig.8-5 Cycle control mechanism

まず1重リングの場合の評価結果を示す。リング速度は10Mb/s、パケット長は256ビット（ヘッダ32ビットを含む）とする。ノード数は50とし、すべてのノードが音声、データを通信し、このうち18ノードは映像情報も通信する。音声通信は、64kb/sで、有音率は50%とする。データは9.6kb/sの速度でポアソン生起とする。パケット長は256ビット、平均パケット発生率は0.4パケット/秒とする。映像は静止画情報とし、1画面の情報量は2.5Mbit、1.5Mb/sのリンク速度で3秒間に1画面の情報を通信するものとする。

図8-6から図8-8は1サイクル方式で、映像通信の数を12、15、18と変化させたときの性能評価結果を示す。図8-6は映像情報の遅延時間を、図8-7は音声の廃棄率（50ms以上の遅延となるパケットの割合）、図8-8はデータの遅延時間を各ノード毎に示している。図からわかるように、映像通信速度が大きいいため、映像通信の同時接続数が通信品質を決定する支配項となり、映像通信の同時接続数が12程度以下であれば、全通信メディアが良好な品質となる。

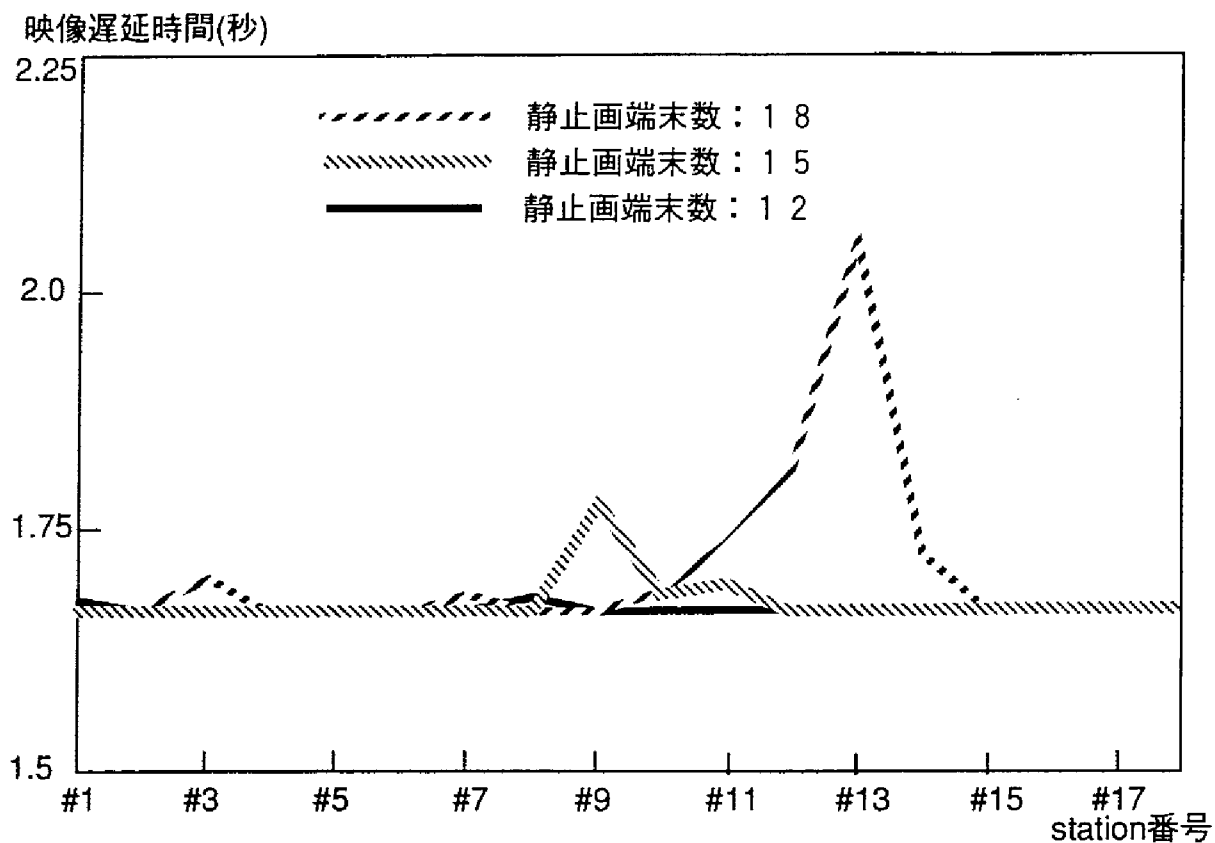


図 8 - 6 映像情報の遅延時間
Fig.8-6 Delay time of graphic information

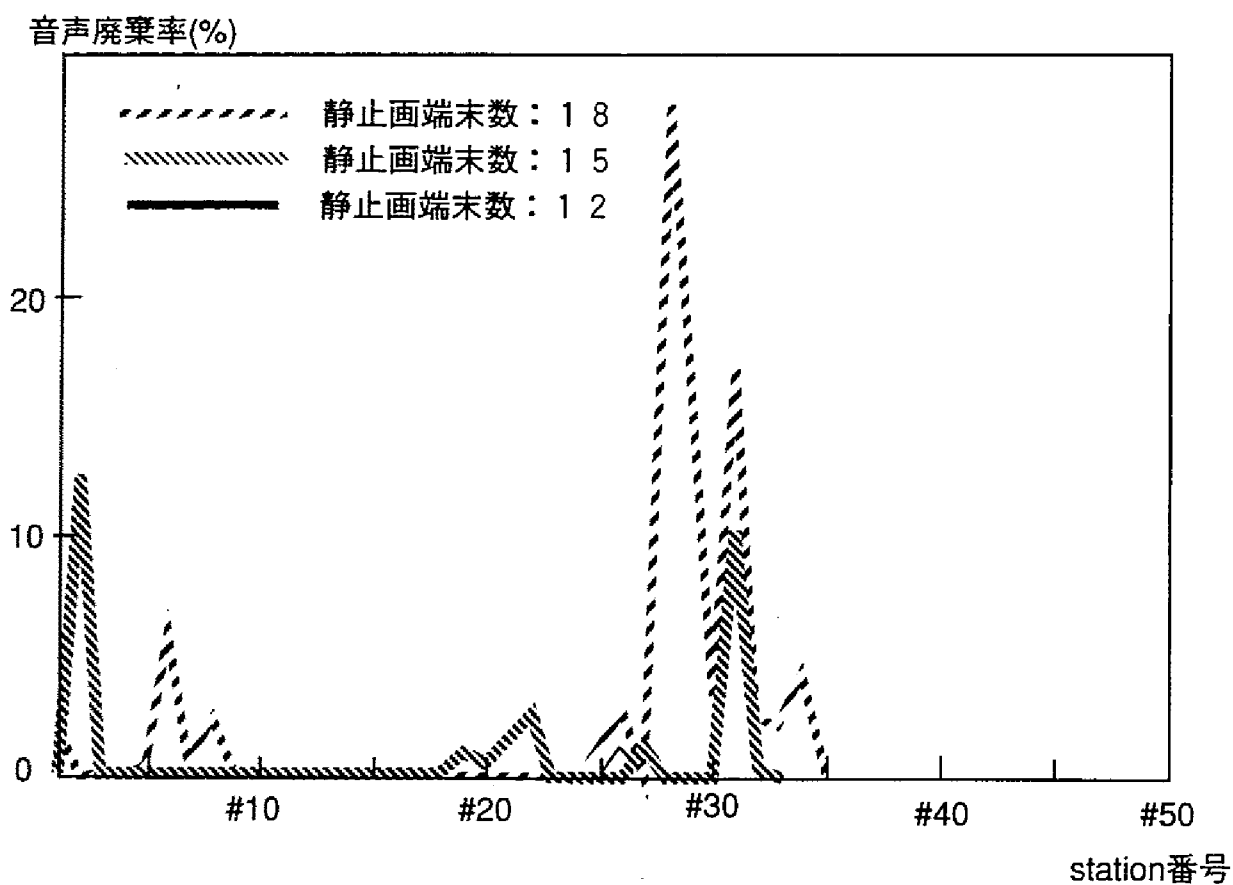


図 8 - 7 音声廃棄率
Fig.8-7 Voice clipping rate

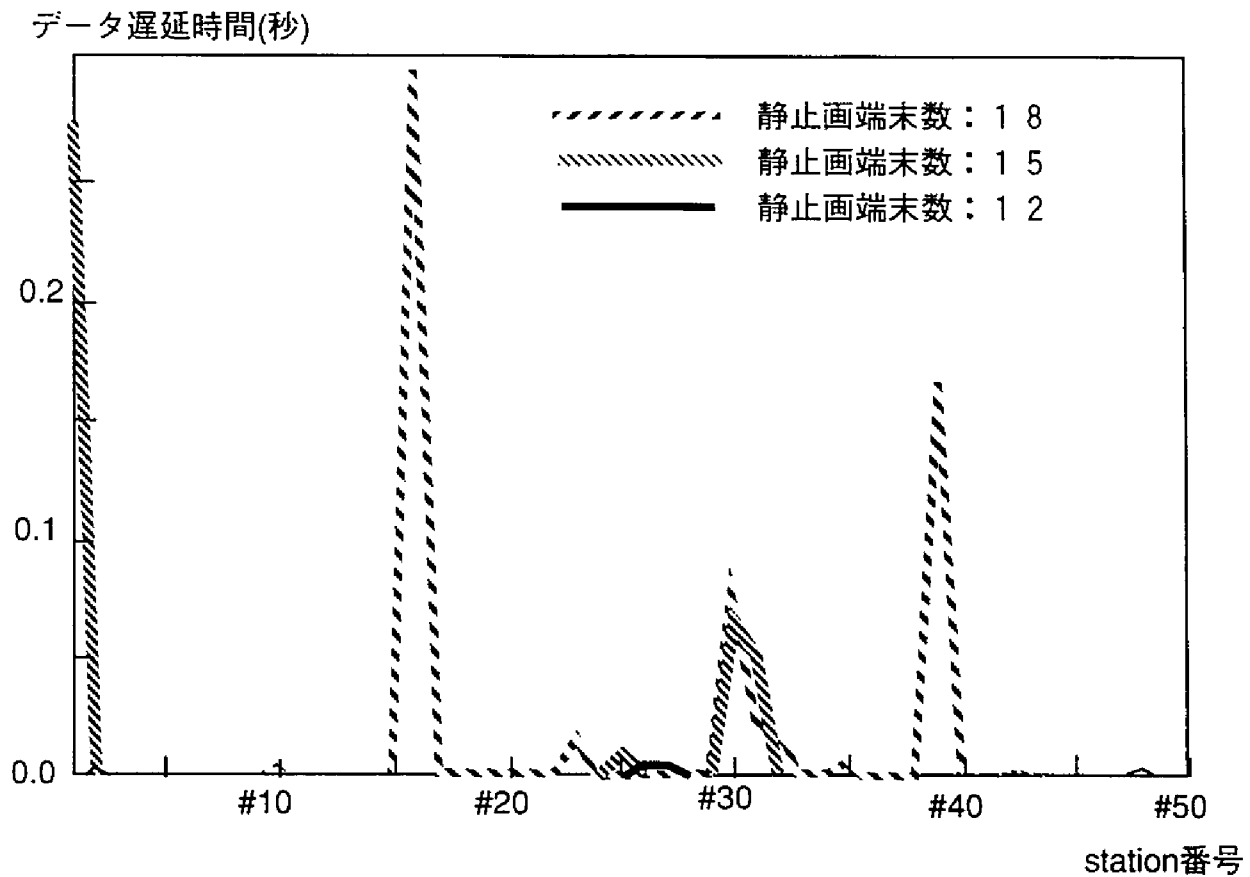


図 8 - 8 データ遅延時間
Fig.8-8 Delay time of data information

同様なシミュレーションを、0サイクル・2サイクルでも行った結果を、図 8 - 9 から図 8 - 14 に示す。図 8 - 9 から図 8 - 11 は、静止画の情報源は12、音声／データ情報源を50とした時の、図 8 - 12 から図 8 - 14 は、静止画の情報源を15とした時の同様な特性である。高負荷状態では、サイクル制御を導入することによって、データの遅延増加と引き換えに静止画・音声の品質が向上することが解る。

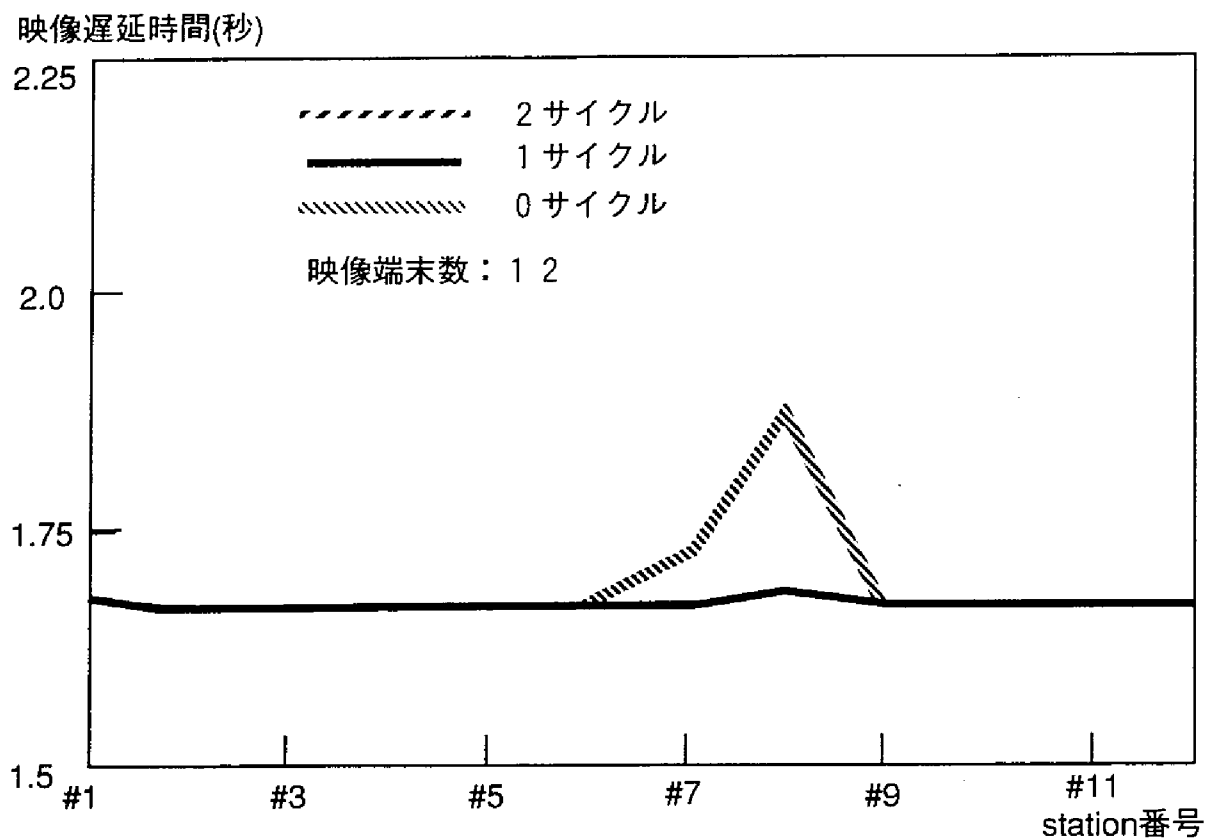


図 8 - 9 映像情報の遅延時間
Fig.8-9 Delay time of graphic information

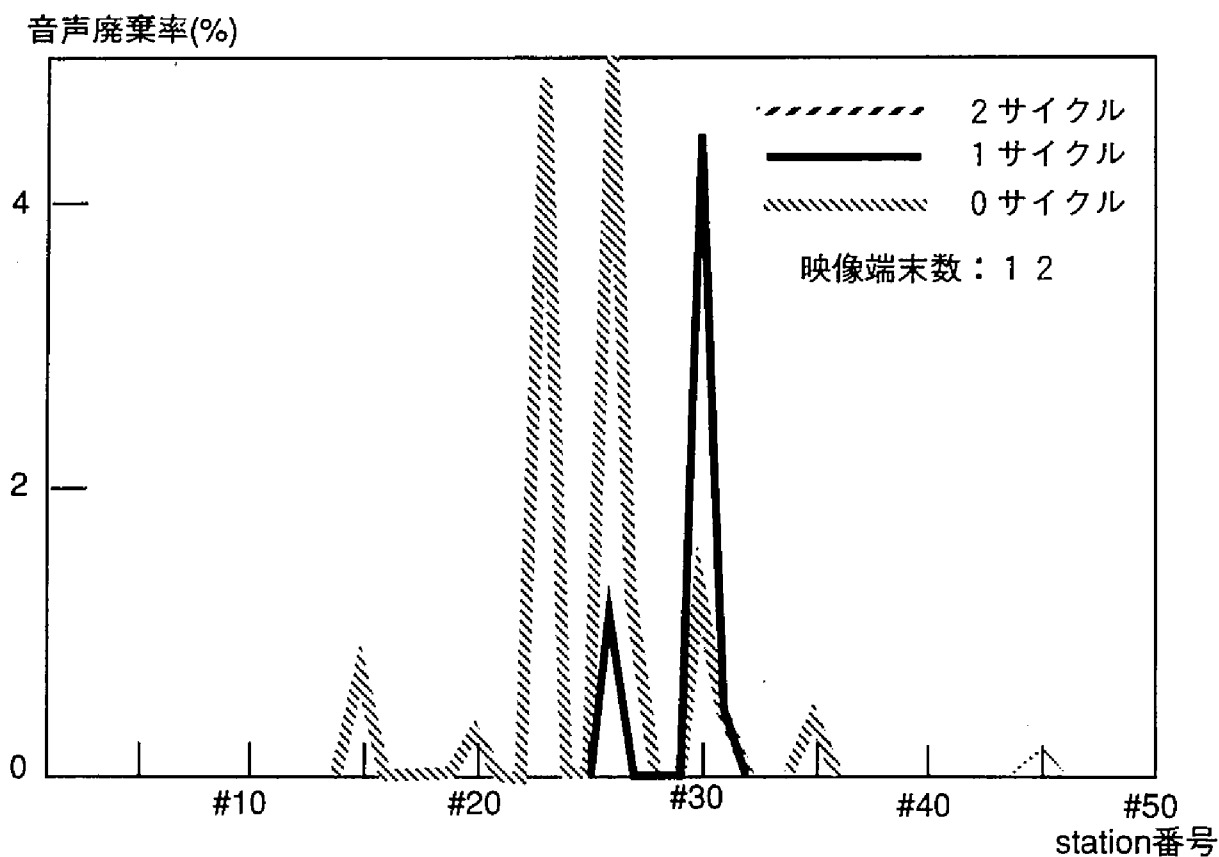


図 8 - 1 0 音声廃棄率
Fig.8-10 Voice clipping rate

データ遅延時間(秒)

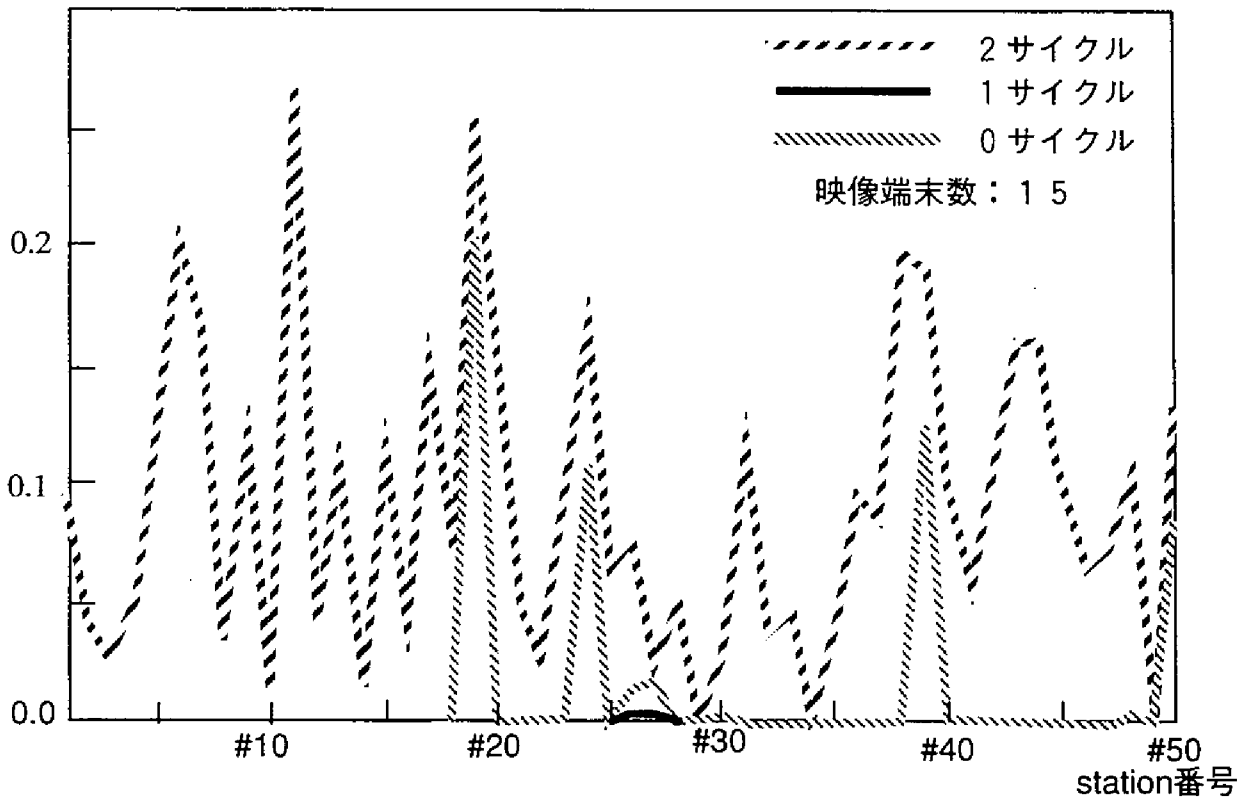


図 8 - 1 1 データ遅延時間

Fig.8-11 Delay time of data

映像遅延時間(秒)

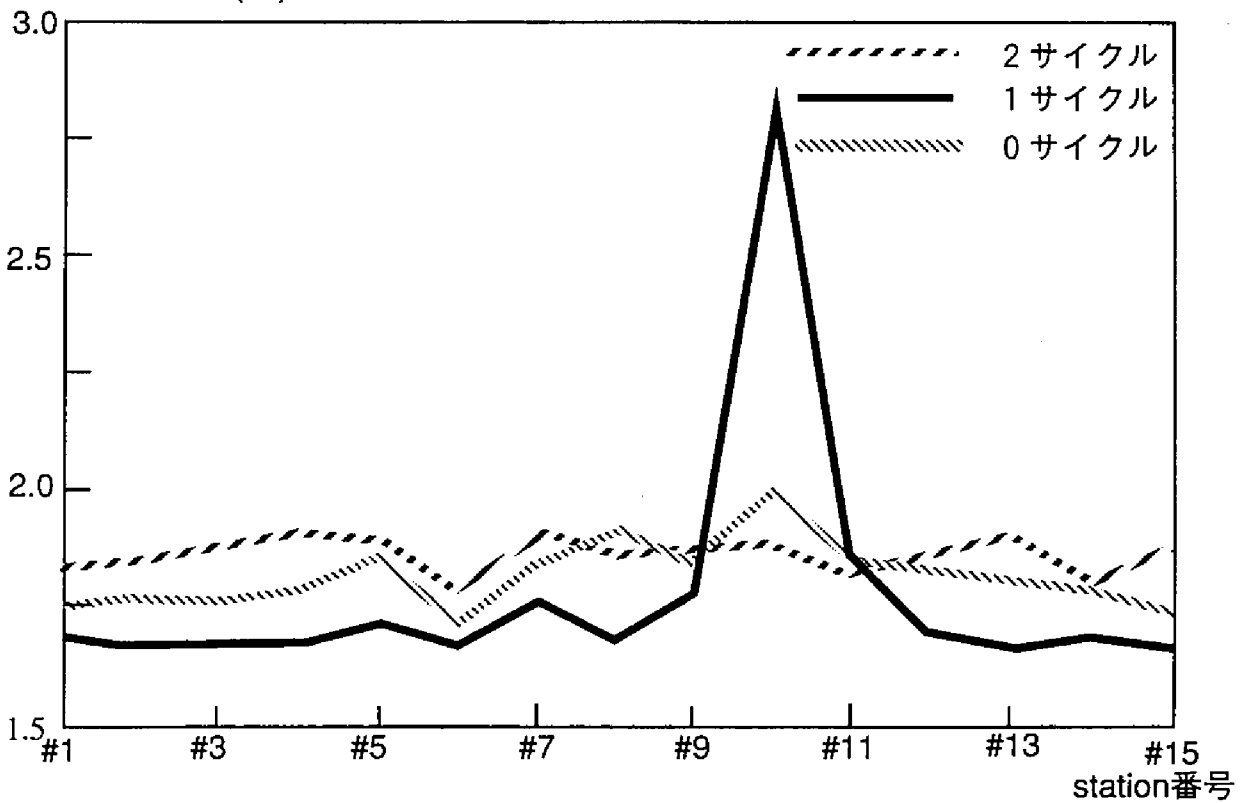


図 8 - 1 2 映像情報の遅延時間

Fig.8-12 Delay time of graphic information

音声廃棄率(%)

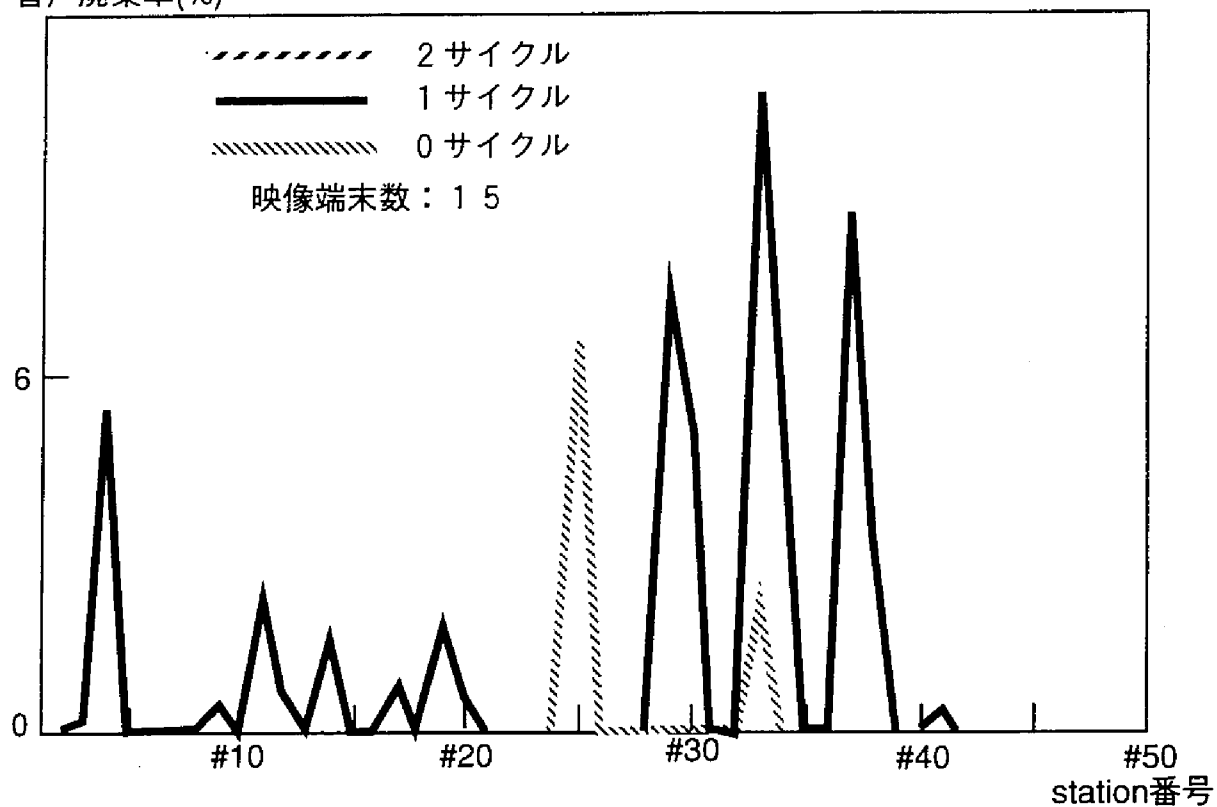


図 8 - 1 3 音声廃棄率

Fig.8-13 Voice clipping rate

データ遅延時間(秒)

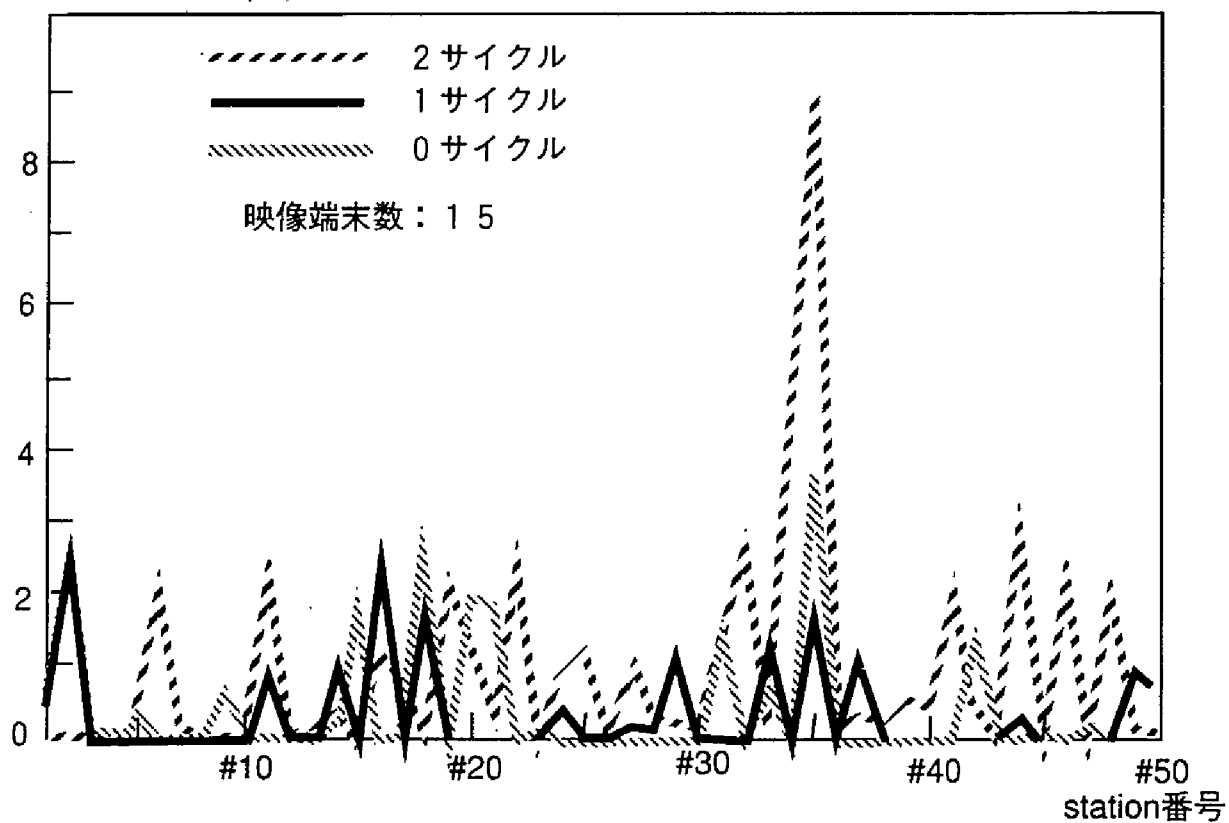


図 8 - 1 4 データ遅延時間

Fig.8-14 Delay time of data information

8. 5 むすび

宛先ノードでスロットを解放し再利用することが可能なリングスイッチのMACプロトコルを提案し、その性能評価ならびに100 Mb/sのデュアルリングネットワークの実験を行った。このデュアルリングネットワークは、音声・映像等のリアルタイム通信と、データ等のノンリアルタイム通信を統合的に扱える。周期的に起動される音声・映像用サイクル（Vサイクル）で音声・映像信号伝送を行うことにより、音声・映像通信の遅延時間を一定値に収めることができる。実験システムは、統計多重システムと確定多重システムの双方を実験できるテストベッドとして実験を行い、MAC処理パラメータの変更により、パケット交換的なリソース割り当てと回線交換的なリソース割り当ての両者を実験することが出来る。

本研究は、コロンビア大学のILANであるMAGNETとして行ったものであり、本研究の後も、トラヒックのリアルタイムの観測と制御を行うエキスパートシステムや、マルチメディア端末等の研究・実験が展開された。

参考文献

- [8 - 1] A. A. Lazar, A. Patir, T. Takahashi, et al., "MAGNET: Columbia's Integrated Network Testbed," IEEE JSAC, Vol.3, No.6, pp.859-871, Nov. 1985
- [8 - 2] A. Patir, T. Takahashi, et al., "An Optical Fiber-Based Integrated LAN for MAGNET's Testbed Environment," IEEE JSAC, Vol.3, No.6, pp.872-881, Nov. 1985
- [8 - 3] A. A. Lazar, A. Patir, T. Takahashi, et.al., "MAGNET: Columbia's Integrated Network Testbed," Proc. of ICC'85, pp.15-19, June 1985
- [8 - 4] J. O. Limb and C. Flores, "Description of FASNET - A Unidirectional Local Area Communications Network," Bell Syst. Tech. J. vol.61, No.7, pp.1413-1440, Sep. 1982

A T M網における帯域管理方式として、複数のV Pをまとめたグループバーチャルパス (G V P) 毎に帯域管理を行なうG V P管理方式を提案する。この方式では、送信側及び受信側交換ノードで2回のコネクション受け付け判定処理を行うことにより、複雑な網制御処理を行うことなく、複数方路間で伝送帯域が共用できる。

G V P方式による統計的多重化効果を、呼源のトラヒック特性、グループ化するV P数をパラメータとして、セルレベル、呼レベルでの評価を行ない、十分な効果が得られることを示している。特に、可変速度通信を扱う規模の小さいB-I S D N網でG V Pによる帯域共用効果が大きい。

9. 1 まえがき

非同期転送モード (A T M) に関してこれまでに多くの検討が行なわれており、高速データ、映像、音声等のマルチメディア通信を扱うA T M通信網の実現が近づきつつある。A T M網はバーチャルチャネル (V C)、バーチャルパス (V P) の2つの階層的なコネクションを設定できる [9-4]。V PはV Cと共に端末相互間に設定されるコネクションとして用いられるほか、交換機相互間の方路設定用の網内パスとしても使用される。本稿では、交換機相互間で用いられる網内のV Pを対象とする。従来、固定的な帯域を持ったV Pが交換機間に設定され、交換機は目標とするサービス品質 (Q O S) を守るために、与えられたV P帯域と、設定されているコネクション群の帯域、ならびに新たに設定要求のあったコネクションの要求帯域をもとにコネクション受付制御 (C A C) を行なう方法が考えられてきた。この制御法は非常に単純で実行しやすいが、各V Pの帯域を他のV Pと共用することはできない。

本稿では、複数のV Pで帯域を共用する、G V P管理方式を提案する。この方式はV Pを二つの区間に分割し、分割されたV Pのうち同一ルートをとるものをグループ化してひとつのG V Pとする。帯域はG V Pに割り当てられ、まとめられたV P間で共通利用する。グループ化されたV Pのセルは全てまとめて扱われ、C A CはG V Pの帯域に対して行なわれる。帯域共用効果はセルレベル、呼レベルの両方で得られ、G V P内での方路間のトラヒック変動も自動的に吸収できる。この方式では、2つの区間に分かれたG V Pのリソースをそれぞれの交換機が管理し、コネクション設定時には従来の2倍のC A Cが必要となるが、これによる処理の増大はわずかである。G V P管理方式によって複雑な制御手順を必要とせずに伝送帯域の効率的な使用が可能となる。

9. 2 VC、VPのトラヒックと帯域管理

交換機（SW）とクロスコネク（XC）から成るATM交換網を対象とする。交換機（SW）はバーチャルチャネル識別子（VCI）とバーチャルパス識別子（VPI）に従ってセルを交換し、ユーザからのさまざまなコネクション設定要求を扱う。クロスコネク（XC）はVPIだけでセルを交換し、SW相互間に網内パスを設定する。XCを使うことによって、SWでは異なる宛先のセルを同一伝送路上に多重して、SW、伝送路の効率的使用ができる。これは各VP容量が、SWのインタフェース速度や伝送路速度に比べて小さいときほど効果大きい。VPとしては、確定的パスと統計的パスの二つが提案されている〔9-5〕。ATM交換網では、SWはコネクションを設定し、CACによってトラヒックやQOSを管理しており、確定的パスが使われる。その理由を以下に示す。

（1）ATM交換網では、SWでVPに多重されるコネクション数は、伝送路に多重されるVP数に比べて多い。XCでの統計的多重による必要帯域の減少量は、SWの統計的多重による減少量に比べて非常に少なく、効果が小さい。

（2）統計的パスを使うとXCでのセル転送品質の低下が避けられない。そのため、セル転送QOSの制御として、XCとSWを連動させたり、SWで複雑な処理をする必要がある。現在のところ、このための実用的なCACアルゴリズムはない。

確定的VP網では、XCでのQOS低下は無視できるので、SWは自交換機内の出力バッファでのQOSだけを考慮してCACを行えばよい。新しい呼設定要求を受けたとき、まずSWはその呼が目的地に接続できるように適切なVPを選択する。次に、ユーザから申告されたトラヒックのパラメータと未使用の伝送路容量を比べて、その呼の受付を判断するCACを行なう。受付可能なときには、次の交換機へ接続要求を送る。両方向通信の場合、CACは方向別に行なわれる（図9-1）。

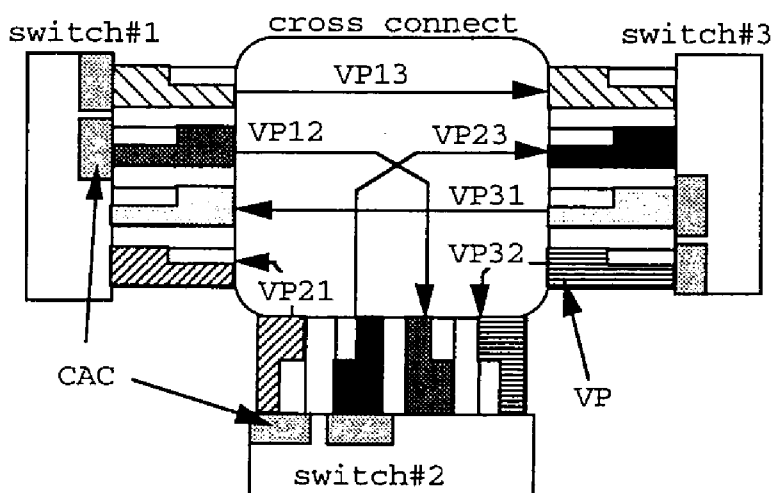


図9-1 従来のVP網での呼受け付け制御（CAC）

Fig.9-1 Call Admission Control for Conventional VP Networks

9. 3 GVP管理方式

GVP方式は、SW相互間のVPを2つの区間に分割し、同一経路をとる他のVPとグループ化する。グループ化されたVP群をグループVP（GVP）と呼び、GVP単位でコネクション受付制御を行なうことによって、VP間の統計多重化効果を得るものである。図9-2に3SWノードモデルの例を示す。各VPはSWからXCまでの区間VP $i j f$ とXCからSWまでの区間VP $i j s$ に分けられ、他の同一経路のVPとグループ化される。VP13を例にとると、VP13fとVP12fによりGVP1fが形成され、VP13sとVP23sによりGVP3sが形成される。SW1はSW2へ向かうトラヒックとSW3へ向かうトラヒックを一群で管理し、GVP1fをそれらの共通帯域として管理する。同様にSW3はSW1から到来するトラヒックとSW2から到来するトラヒックを一群で管理し、GVP3sをそれらの共通帯域としてコネクション受付制御を行なう。

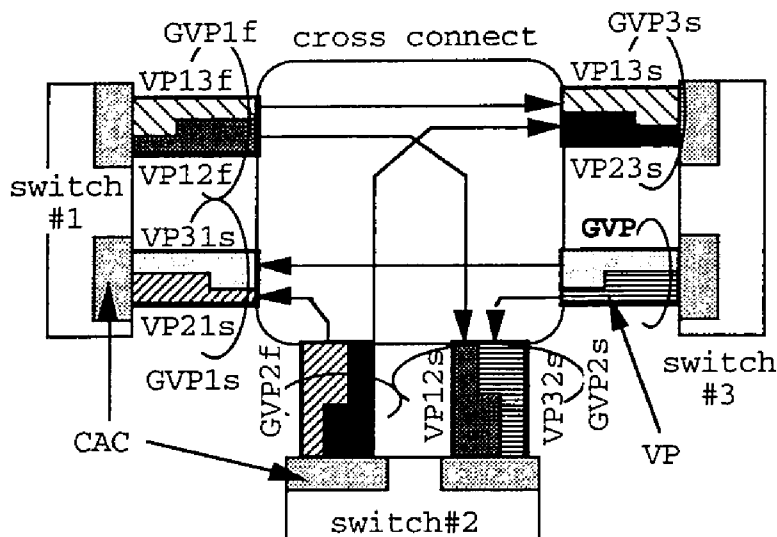


図 9-2 GVP方式での呼受け付け制御

Fig.9-2 Call Admission Control for Conventional VP Networks

GVP方式におけるコネクションの設定は、コネクション受付判定が2段階となる点を除き、従来方式と変わるところは無い。例えばSW1からSW3へのコネクション設定では、SW1はVP13の空きVCIを捕捉すると共に、GVP1fの空きリソースとコネクションの要求帯域との比較により、受付判定を行なう。更にSW3はGVP3sの空きリソースとコネクションの要求帯域との比較により、受付判定を行なう。

提案方式の得失を以下に示す。

利点

- ・セル転送レベルでの統計的多重化効果の増加
- ・呼レベルの統計的多重化効果の増加

- ・ G V P 内のトラヒック変動の吸収

欠点

- ・ X C でのセル転送品質の低下
- ・ 2 段階の C A C による呼損率の増加
- ・ 2 段階の C A C による S W 処理の増加
- ・ セル負荷が過剰になった時の輻輳制御の複雑化

一つ目の利点は、セルレベルでの統計的多重化効果の増加である。本方式では、複数 V P のセルを多重する。G V P に必要な帯域 $C(m \cdot n)$ と従来方式での帯域 $n \cdot C(m)$ は、S W での目標 Q O S を同一にすれば、次の関係がある。ただし、 n は一つの G V P としてまとめる V P 数、 m は各 V P の同時接続 V C 数である。

$$C(m \cdot n) < n \cdot C(m) \quad \text{V B R} \quad \text{V C の時}$$

$$C(m \cdot n) = n \cdot C(m) \quad \text{C B R} \quad \text{V C の時}$$

(1)

しかし、G V P 管理方式では X C での交換動作を伴うため、セル廃棄が発生する。

9. 4 で、X C での廃棄率を最悪、つまり S W と同等としたときの評価結果を示す。

2 番目の利点は、呼処理レベルでの大群化効果である。ある呼損率を満たすための同時接続呼数は、G V P 管理方式では従来方式に比べて少なくてもよい。この評価もやはり 9. 4 に示すが、各段階での呼損率規定値を従来方式の半分として評価した。

残った問題は、呼処理負荷の増大と輻輳制御の複雑化である。V C コネクションを設定する際に、両端の S W で C A C を行なう必要があり、片方向コネクションで 2 回、両方向コネクションで 4 回の C A C を行なうため、ソフトウェア処理の増加を招く。しかし、C A C の処理が、呼処理全体の中で占める割合は小さく、重大な問題ではない。また、輻輳制御に関しては、従来方式に比べて輻輳監視点が増加するため複雑化する。

上述したように、G V P 管理方式は複雑な網制御を必要とせずに帯域の共用を行なうことができるが、任意の形態の網に適用できるわけではない。図 9-2 の 3 ノードモデルは、X C が 1 段で、あるエリア内のネットワークに適用例できる。V P はエリア内の全 S W 間で論理的にメッシュ、物理的にスター構成をなしている。G V P 管理方式を適用すると別対地の V P を一つの G V P としてまとめることができ、全ての V P 間で帯域の共用ができる。この例では必要な伝送容量は、中継交換機を設置したときとほぼ同じ程度にまで減らすことができる。図 9-3 の 3 ホップのモデルは長距離網への適用例である。図中のあるエリア内の S W は別のエリア内の全 S W への V P を持っている。S W # 1 から S W # 4、# 5、# 6 への V P は X C # 2 のところで分割され、一つの G V P にまとめられる。しかし、X C 間での品質を

保証するためには、SW#1、#2、#3からのトラヒックは分離して扱われる必要がある。

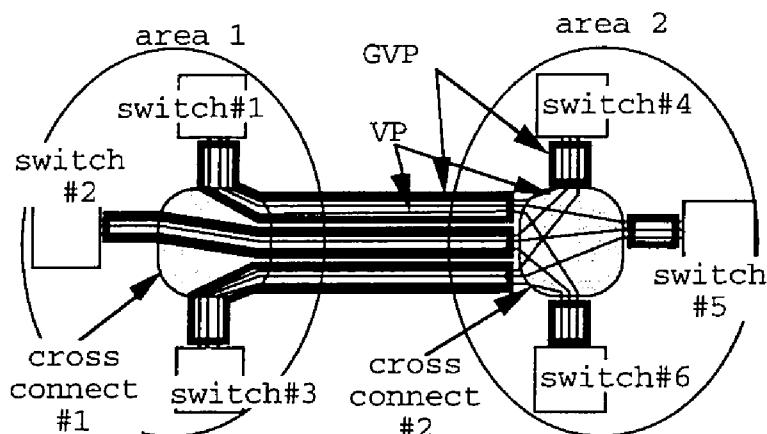


図 9 - 3 GVP の長距離網への適用例
Fig.3 GVP Applications to Long Haul networks

9. 4 GVP 管理方式の効果

GVP 管理方式の適用による従来方式と比べて必要伝送容量の削減効果を評価した。GVP 管理方式ではセルレベル、呼レベルでの効果がそれぞれある。

ここでは、まず各レベルでの効果を個別に評価し、ついで総合的な評価を示す。評価に当たっては、与えられた呼量やVC数を運ぶことのできる伝送路容量の減少量ではなく、ある伝送路容量が運ぶことのできる最大VC数、最大呼量で評価を行なった。目標セル廃棄率を満たす接続可能な最大VC数でセルレベルの評価を行ない、目標セル廃棄率、目標呼損率を満たす最大呼量で呼レベル、及び総合的な効果の評価に用いた。以下に、評価の条件を示す。

- ・ VP 毎の伝送容量を CVP とする。
- ・ GVP としてまとめる VP 数 n は 2、5、10
- ・ GVP 容量 $CGVP$ は $CVP \times n$

(伝送路容量と同一)

- ・ 伝送路速度に対する VC ピーク速度の比 PTR は 0.1 ~ 0.001
- ・ VC のバースト性 B 、平均速度に対するピーク速度の比は 1 ~ 1000
- ・ VP 1 リンクでのセル廃棄率 (CLR) は 10^{-9} 、呼損率は 10^{-2}

与えられた CLR を満たす最大 VC 数 m は、セル廃棄率の上限式 [9-6] を用いて計算した。まず、 T 時間中の 1 VC からのセル到着確率 $p(i)$ を PTR、バースト性を用いて計算する。 T は以下のように定義する。

$$T = K / 2 \times 53 \text{ bytes} / C \quad (2)$$

ただし、 K は出力バッファ長で 2048、 C は伝送路速度である。

このとき、 $p(i)$ は以下のように定義する。

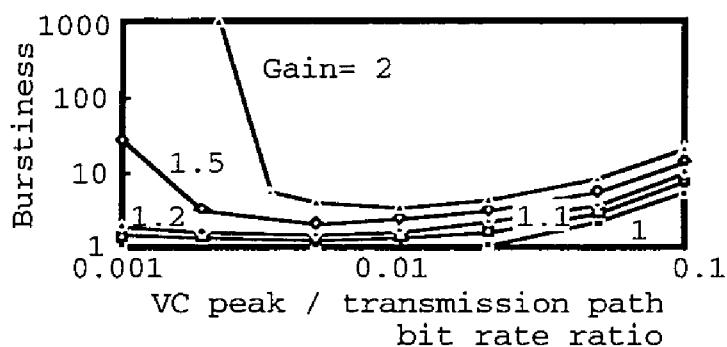
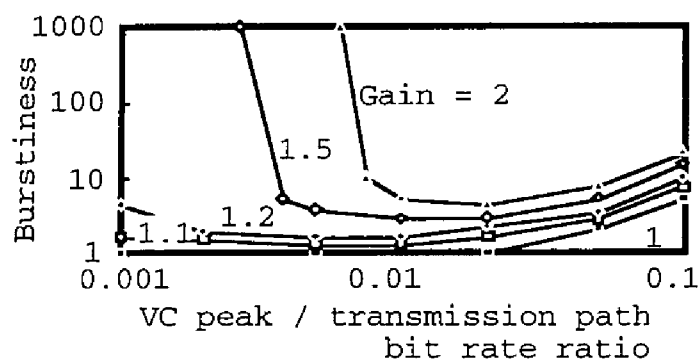
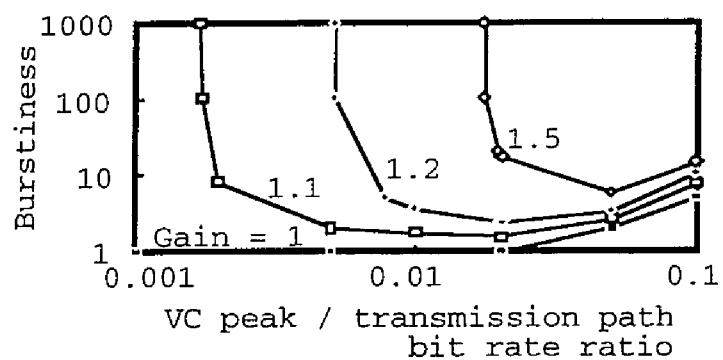
$$p(i) = \begin{cases} 1/B, & i = K/2 \\ 1-1/B, & i = 0 \\ 0, & i \neq 0, K/2 \end{cases} \quad (3)$$

許容最大 V C 数 $m(CVP)$ 、 $m(CGVP)$ は、セル廃棄率の上限を与える次の式から得られる。

$$CLR \geq \frac{\sum_{i=K/2}^{\infty} (i - K/2) \times p^{(m)}(i)}{\sum_{i=0}^{\infty} i \times p^{(m)}(i)} \quad (4)$$

呼レベルの統計的多重化効果はアーラン B 式を用いて、ある呼損率を満たす最大呼量 $L(m)$ として評価する。呼レベルの評価では、GVP 管理方式の呼量を $L(m(CVP) \times n)$ 従来方式の呼量を $L(m(CVP)) \times n$ として評価した。また、全体の評価では GVP 管理方式による $L(m(CGVP = CVP \times n))$ を用いた。

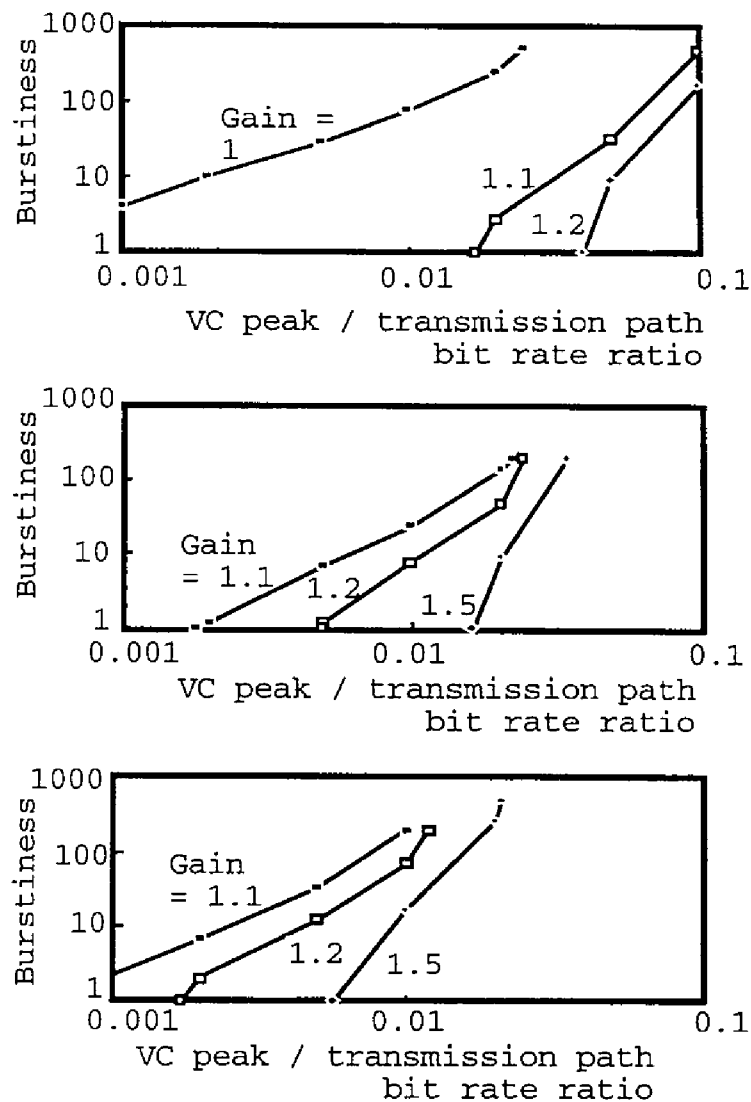
セルレベルの評価結果を図 9—4 に示す。いずれも横軸に V C の PTR、縦軸にバースト性を取り、図 9—4 はグループ化する数をパラメータにそれぞれ $n = 2$ 、 $n = 5$ 、 $n = 10$ の場合の効果を示している。今回検討した領域すべてにおいて、ゲインは 1 以上になっていることが分かる。効果が最小となる $n = 2$ の場合でも、十分な効果が得られている。V C ピーク速度が大きく (PTR が大きく)、バースト性が高い (B が大きい) ほど、またまとめる VP 数が増える (n が大きい) ほど、大きなゲインが得られることが確認できる。



$$\text{Gain} = \frac{\text{Maximum number of VCs using GVP method}}{\text{Maximum number of VCs using conventional method}}$$

図 9-4 GVP方式のセルレベルの利得
Fig.9-4 Cell level gain of GVP method over conventional method

呼レベルの評価結果を図 9-5 に示す。PTR の増加と共に、また n の増加と共にゲインが増加している。 $n = 2$ の場合には、PTR が小さく、バースト性の大きな領域でゲインが 1 以下、つまり GVP 管理方式による容量低下が生じる。これは、GVP 管理方式での各段階の目標呼損率が従来方式の半分でなければいけないためである。



$$\text{Gain} = \frac{\text{Maximum offered load using GVP method}}{\text{Maximum offered load using conventional method}}$$

図9-5 GVP方式の呼レベルの利得
Fig.9-5 Call level gain of GVP method over conventional method

セルレベル、呼レベルの効果を合わせた全体の評価結果を図9-6に示す。これは、GVP管理方式の効果が最小となる $n=2$ の場合のゲインである。データ、動画像、音声といったメディアの占める領域をバースト性を基に[9-7][9-8][9-9]図中に示す。音声トラヒックを扱う網ではGVP管理方式によるゲインは小さいが、動画像やデータ通信ではより大きな効果が期待できる。また、ATM網の初期段階では、網の大きさが小さくPTRが大きいため、GVP管理方式の適用効果が高い。GVP方式の適用効果はネットワークのトポロジーやトラヒック量によっても異なる。現状のNTTの電話中継網のトポロジーとトラヒック量を前提とするときにあてはめた場合には、CBRトラヒックで30%程度、バースト性が

10のVBRトラヒックで3-5倍程度の容量増大が期待できる。

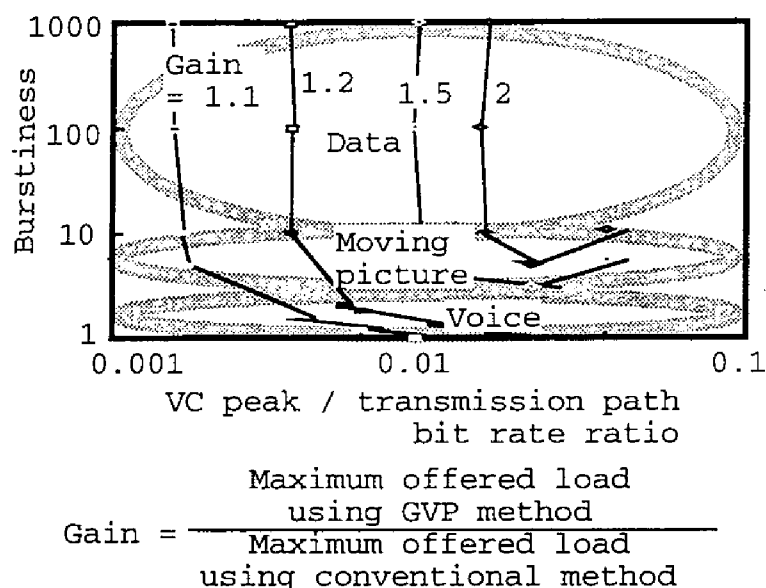


図9-6 GVP方式の総合利得

Fig.9-6 Total gain of GVP method over conventional method

9.5 GVPのB-ISDNへの適用性

GVPの効果は、情報源の性質や、通信網のトポロジー、ノード間のトラヒック交流分布等により異なる。ここでは、B-ISDNサービスが全国に普及した大規模公衆網を対象としてGVPの適用性を評価する。大規模公衆網の構成としては、ノードの増設に伴う局データ変更を含む各種工事の容易さ、ノード間の中継回線の大群化効果、ネットワークの運用管理の簡明さといった点から、階層構成が適している。現在の代表的な大規模網である、電話/N-ISDNの2階位網を対象にGVPの適用法を議論する。評価に当たっては、現時点ではB-ISDNのトラヒック交流分布が分からないため、ノードの配置やノード間のトラヒック交流分布として現在の電話/N-ISDN網と相似形の分布を仮定する。すなわち現在の現在の電話/B-ISDNと同様の加入者数分布形状を仮定し、B-ISDN加入者数の電話/N-ISDN加入者数比率、及び情報源のバースト性をパラメータにGVPの効果の評価する。

9.5.1 2階位網構成の概要

図9-7はNTTの電話/N-ISDN網の構成を示している。2階位の構成を採り、加入者を収容するノードをGC（グループセンタ）、中継交換機を設置するノード局をZC（ゾーンセンタ）と呼び、ZCがサービスする地域をZAと呼んでいる。ほぼ都道府県対応の地域分割が成され、日本全国で約50のZAがある。各ZAには、複数のZAにまたがる長距離呼を中継交換する中継交換機ZCとZA内の呼を中継接続するGMCがある。

ZCとGMCは共に中継交換機であり、通常は同じNTTビルに設置されている。各GCからはZCへの中継回線とGMCへの中継回線並びに近隣のGCへの直通斜回線が必要であり、これらの回線は時分割多重されてGCからZC及びGMCの設置されている中継センタまで伝送される。また、ZC相互間はフルメッシュで回線が設定されている。回線網のトポロジーは、ZC相互間の長距離回線網がメッシュ、ZA内の地域中継網は、ZC/GMCからGCに回線がスター状に、GC間の斜回線がメッシュ状に設定されている。

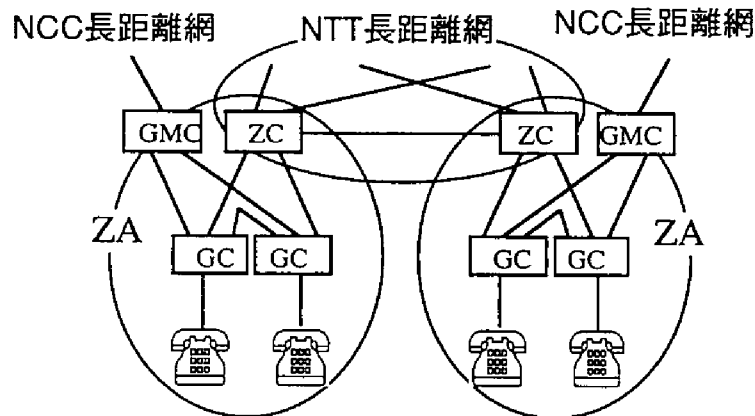


図 9-7 ネットワーク構成
Fig.9-7 Network Configuration

9. 4. 2 GVPを適用した2階位網構成

GVPは複数の回線群でリソースを共用する方式であり、長距離回線網、地域中継回線網それぞれに適用できる。

図 9-8 は地域中継網へ適用する場合の概念図を示している。図示するようにZC/GC間にATM-XCを配置し、GCからはエリア内のすべてのGCに直通回線を設定する。ZA内のGC数を n とすると、各GCは、ZCへの回線と他の $(n-1)$ 個のGCへの回線の合計 n 種類の回線が必要である。また、ZCからはエリア内のGCへの n 種類の回線が必要である。このネットワークにGVPを適用すると、図示するようにすべての回線をATM-XCで2区間に分離してグループ化できる。GVPの適用により、各GC/ZCが収容する n 種類の回線群で回線リソースを共通利用できる。また、中継交換機GMCを不要にできる。

図 9-9 は長距離中継網に適用する場合の概念図を示している。ZC相互間はフルメッシュで回線が設定されるが、通常これらの回線群は地域毎に集約され、XC装置で多重化されて伝送される。図示するように、複数のZAをまとめてひとつのエリア(SZA; Super Zone Area)とする。SZAの代表ノードにATM-XCを設置し、SZA内の回線群は、SZA内のATM-XCによって2区間に分割してグループ化する。SZA相互間の回線は、図示するようにどちらかのATM-XCによって回線を2区間に分割してグループ化する。

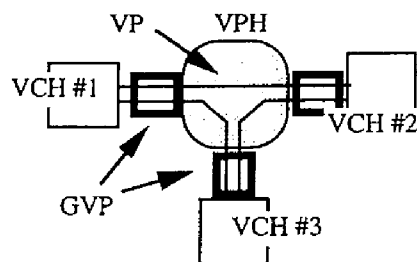


図 9—8 GVP方式の地域中継網への適用例：2 ホップ
Fig.9-8 GVP Application to ZA Network

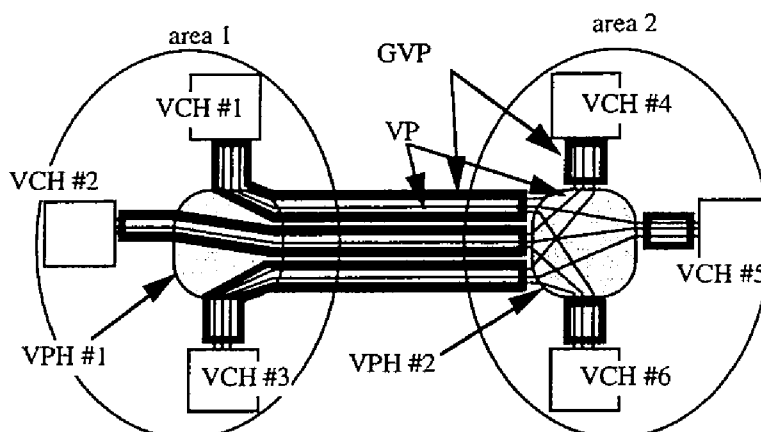


図 9—9 GVP方式の長距離網への適用例：3 ホップ
Fig. 9-9 GVP Application to Longline Network

以下では次の3方式を比較評価する。評価尺度は必要な中継回線容量とする。

- 方式1：VP管理方式（GC／ZCの2階位）
- 方式2：GVP管理方式（GC／ZC 2階位）
- 方式3：GVP管理方式（GC／SZC 2階位）

（1）方式1：VP管理方式

図 9—10 は、従来のVP管理方式を適用した時の網構成を示している。ZC相互間にメッシュ状に設定される長距離中継面の回線や、ZCから同一エリア内の各GCにスター状に設定される地域中継面の回線は、すべて独立のVPとして帯域管理がなされる。

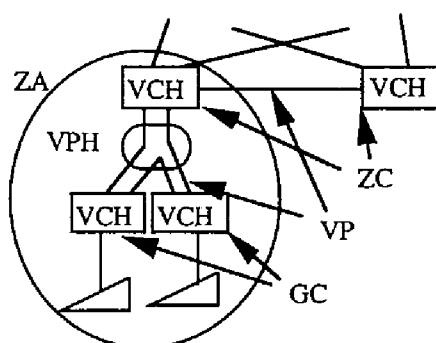


図 9—10 VP管理方式
Fig. 9-10 VP Management Method

(2)方式2 =GVP管理方式(ZC/GC)

図9-11は方式1と同様なノード配置で、GVP管理方式を適用した際のネットワーク構成を示している。グループ化は地域中継面と長距離面でそれぞれ行われる。地域中継面には図9-8に示す2ホップタイプを適用し、方路間で帯域を共用する。また、長距離面では、隣接地域の複数のZCをグループ化し、図9-9に示す3ホップタイプを適用して帯域を共用する。

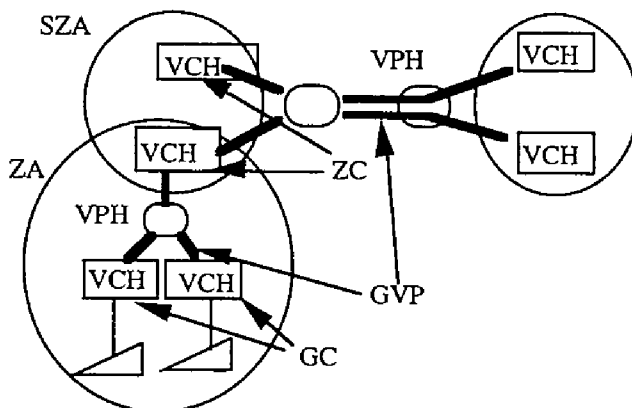


图 9-11 GVP 管理方式 (ZC/GC)
Fig.9-11 GVP Management Method(ZC/GC)

(3)方式3 =GVP管理方式(SZC/GC)

図9-12はATMノードの大規模化を想定して、中継ノードを7個のSZCに集約した時の網構成である。SZCから下位の階梯に向けてはZA毎にGVPを設定し、方式2と同様にZA内の中継トラヒックはVPHで振り分けられる。SZC相互間の回線は、メッシュ状に設定されるVP毎に帯域を管理する。

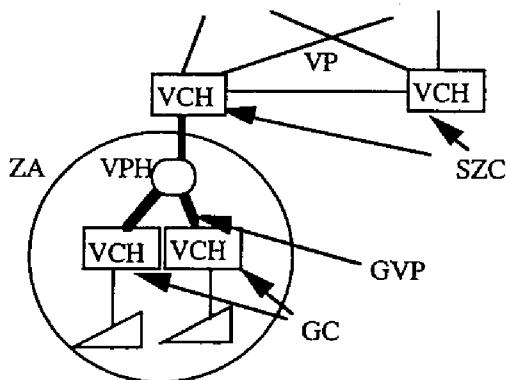
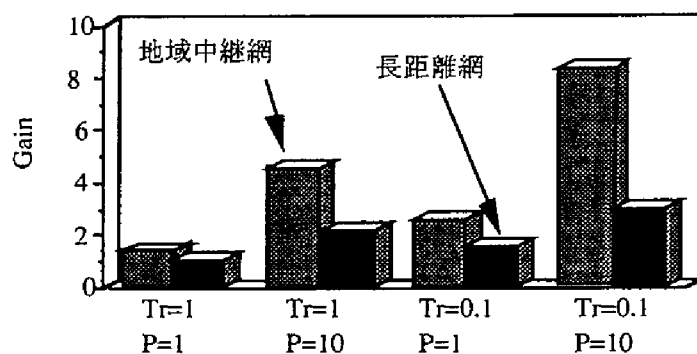


图 9-12 GVP 管理方式 (SZC/GC)
Fig.9-12 GVP Management Method(SZC/GC)

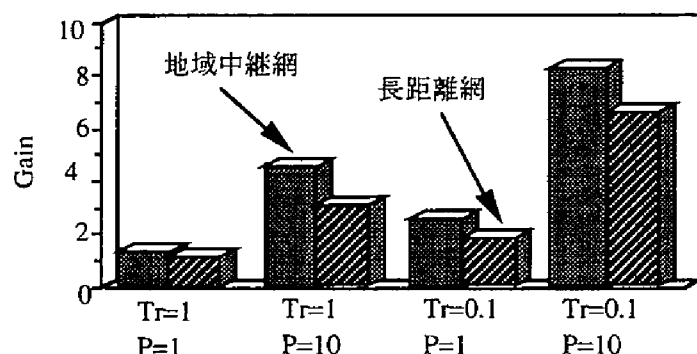
9. 5. 3 GVP管理方式の適用効果

図9-13はGVP管理方式の適用効果(VP管理方式に比べたGVP管理方式の伝送路削減効果)を示している。評価はGC間の交流トラヒック量と情報源のバースト性をパラメータとして行い、ノードの配置とトラヒック交流分布は現状の電話網のトラヒックデータを用いた。

図中、パラメータ T_r は交流トラヒック量であり、 $T_r=1$ は現在の電話／N-ISDNと同一のトラヒック交流量の場合を意味する。パラメータ P はバースト性を意味する。図から分かるように、トラヒック交流量が小さいほど、また、バースト性が強いほどGVP管理方式の適用効果が高い。地域中継網と長距離中継網を比べると、地域中継網へのGVPの適用効果が大きい。地域中継網は、長距離網に比べて、方路毎の交流トラヒック量が小さいため、GVP方式の適用による統計多重化効果／大群化効果が著しい。また、方式2と方式3を比較すると、図からわかるように、必要な伝送路容量に大きな違いは無い。従って、交換ノードの大容量化を反映した中継ノード(ZCまたはSZC)数と加入者ノード(GC)数のバランスや、中継網の管理運用形態によりどちらかを選択してよい。



(a) 方式2の方式1に対する効果



(b) 方式3の方式1に対する効果

図9-13 GVPの適用効果 (伝送路削減効果)

Fig. 9-13 Effect of GVP (reduction of required capacity of transmission system)

9. 6 むすび

複数のVPをまとめて帯域管理することにより、統計多重化効果／大群化効果が得られるGVP方式を提案すると共に、そのB-ISDNへの適用性を評価した。GVP方式は、セル転送レベル・呼設定レベルで統計多重化効果／大群化効果を発揮し、特にバースト性が強くトラヒック量が小さい領域で効果が顕著である。全国規模の公衆網を対象にすると、交流トラヒック規模が比較的小さい地域中継面へのGVPの適用効果が顕著である。今後の課題として、ネットワークの段階的な拡大を考慮したGVPの適用法の検討、VPHでのセル廃棄の管理方法の検討があげられる。

参考文献

- [9 - 1] T. Takahashi, S. Nakajima, S. Chaki, and M. Omotani, "B-ISDN Networking Using Group Virtual Paths," Proc. of ICC'93, pp.1343-1347, May 1993
- [9 - 2] 高橋、重谷、茶木、中島、" GVPを用いたB-I S D Nネットワーキングの提案"、信学論Vol.76-B-1, No.11, pp.819-827, Nov. 1993
- [9 - 3] 重谷、高橋、" GVP帯域管理方式を適用したB-I S D N網の設計"、信学論Vol.78-B-1, No.8, pp.305-313, Aug. 1995
- [9 - 4] ITU-T Recommendation I. 311
- [9 - 5] K. Sato, S. Ohta and I. Tokizawa, "Broadband ATM Network Architecture Based on Virtual Path," IEEE Trans. Commun., vol 38, No. 8, pp.1212, Aug. 1990
- [9 - 6] H. Saito, "Call Admission Control in an ATM Network Using Upper Bound of Cell Loss Probability," IEEE Trans. Commun., vol 40, No. 9, pp.1512, Sep. 1992
- [9 - 7] K. Kawashima and H. Saito, "Teletraffic in ATM Networks," Computer Networks and ISDN Systems, vol 20, pp.363 (1990)
- [9 - 8] H. Heffes and D. M. Lucantoni, "A Markov Modulated Characterization of Packetized Voice and Data Traffic and related Statistical Multiplexer Performance," IEEE JSAC vol. 4, No. 6, pp. 856, Sep. 1986
- [9 - 9] H. J. Fowler and W. E. Leland, "Local Area Network Traffic Characteristics, with Implications for Broadband Network Congestion Management," IEEE JSAC, vol. 9, No. 7, pp.1139, Sep. 1991

第10章 まとめ

交換機は、通信網内の端末相互間に要求に応じて回線を設定する機能を実行し、通信網の中核的な役割を果たしている。電話サービス開始当初の手動交換に始まり、ステップバイステップ、クロスバ、電子交換、デジタル交換（回線、パケット）、ATM交換と世代が移っている。ステップバイステップは自動交換によるサービスの普及に貢献し、クロスバは全国自動即時化、電子交換はサービスの多様化にそれぞれ貢献した。デジタル交換とATM交換はともにデジタル情報を交換接続し、ネットワークのマルチメディア化が特徴となる。その中でも、デジタル交換は電話中心のマルチメディア交換技術であり、システムは量的な中心である電話サービスに最適化され、付加的に電話と類似速度のマルチメディアサービスを扱うものである。一方ATM交換は、さまざまな通信速度や情報の発生形態を持つ通信を柔軟に扱えることが特徴であり、マルチメディア通信を最初から前提とした交換方式と言うことができる。本研究はマルチメディア通信のための交換機構成法として、筆者がこれまでにを行った研究をまとめたものであり、STMとATMの双方の通信モードを対象としている。

10.1 回線交換通話路の構成法

回線交換システムがマルチメディア通信を実現するには、速度の異なる通信を交換機が扱う必要が有る。類似速度の通信は、複数のタイムスロットを1個の通信に割り当てるマルチスロット通信が有効である。このマルチスロット通信に関して、マルチスロット情報の時間順序保存法を研究した。従来、回線交換機でマルチスロット情報を扱う場合に、タイムスロット配置を任意配置とした場合には、時間スイッチに起因して、マルチスロット情報の時間順序保存が課題となっていた。この研究では、時間スイッチをダブルバッファ構成にしなくとも、任意のタイムスロット配置で、時間順序を保存するタイムスロット変換則が必ず存在することを証明した。また、そのような変換則を見いだすための、計算量の小さなアルゴリズムを明らかにした。さらに、時間順序を保存するタイムスロット変換則が複数組存在することを利用した、交換機の内部輻輳率の改善方法の提案を行った。

さらに大幅に速度が異なる場合には、速度毎に階層化された複数の通話路スイッチを用い、類似速度の通信をマルチスロット接続で、大幅に速度が異なる通信は速度毎のスイッチを用いる階層化スイッチを用いることが有効である。速度が大幅に異なる場合に効率的な階層化スイッチの設計法を検討した。

10.2 ATM通話路の研究

A T Mはラベル多重に基づく通信モードで、さまざまな通信速度と情報発生形態をもつ各種通信メディアをそれぞれの要求品質に応じて柔軟に扱い得る可能性を持っている。A T Mスイッチは、A T Mシステム実現のひとつの鍵とも言える技術分野である。本研究では、A T Mスイッチとして、可変リンク速度共通バッファスイッチと入出力バッファスイッチ、リングスイッチの3種類のスイッチの構成法を研究した。

可変リンク速度共通バッファスイッチは、共通バッファスイッチの容量制限要因であるメモリの動作速度を最大限活用し、かつA T M特有のリンクスループット制限を回避することをねらいとした。可変リンク速度共通バッファスイッチは、入出力ポートからの共通メモリへのアクセス権をアービタにより可変に割り付け、入力ポート及び出力ポートの合計速度が一定の範囲内で、トラヒック状況に応じて各入力ポート／出力ポートの速度を可変にできる。可変リンク速度スイッチは、リンク過負荷に強いため、多段スイッチ網を構成する際に必要なスイッチ数を減らすことができ、スイッチステージ間のリンク過負荷に強い特性を持つ。

入出力バッファスイッチは、A T Mが普及した時代を想定した高速スイッチの構成法として研究した。現在の電話が広帯域なA T Mに置き換わる時代を想定すると、ひとつのノード当たりの所要処理能力はテラビットクラスとなり、その実現には高速のスイッチを少ない段数接続する方法が有力である。テラビットスイッチの実現に向け、10 Gb/sの回線を交換する高速スイッチの研究を行った。スイッチの構成法として、入出力バッファ方式を採用した。入出力バッファ方式は、入力及び出力にバッファを配置し、スイッチマトリクスにはバッファを持たず、入出力回線に比べ2倍の速度で動作してセルを交換する。スイッチマトリクスはバッファを持たないため、必要な回路規模が小さく、高速なデバイスプロセスが適用可能である。

リングスイッチは、もともとスロットイドリングLAN”MAGNET”として研究したもので、スロットイドリングも固定長のパケットを扱うため、一種のA T Mスイッチと見ることができる。MAGNETは2本のユニディレクショナルリングを伝送路として持つサービス総合LANで、高速環境での効率的な情報伝送のため、スロットは宛先で開放され、直ちに他の通信に再利用される。効率的な通信とともに、リアルタイム通信とノンリアルタイム通信を効率的に多重化し、ノード間のサービスの公平性を実現するMAGNETのメディアアクセス制御プロトコルの提案とその性能評価を行った。

10.3 グループVP帯域管理を用いたB-I S D Nネットワークの研究

A T M網はコネクションの設定と、リソース管理が分離されている。交換機相互間の方路設定用の網内パスを対象として、複数のVPで帯域を共用する、グループVP(GVP)帯域管理方式を提案した。GVP方式は、セル転送レベル、呼設定レベルでのVP間の帯

域共用効果があり、可変速度通信を扱う比較的小規模のネットワークでその効果が大きい。

10. 4 今後のマルチメディア交換技術

今後当分の間ATMを中心としてマルチメディア交換技術の研究開発が進められるものと考えられる。ATMはLANとして、キャンパスや企業網に導入が始まっており、LAN相互を結ぶATM公衆網もサービスが開始されている。主な通信メディアはコンピュータ間通信であり、パケット交換に比べて高速な点がメリットになっている。しかしATMは、高速コンピュータ通信以外にも、音声や映像を含むマルチメディア通信を柔軟に扱い得る特性を持っており、今後はATMのマルチメディア通信との親和性をフルに発揮させるシステムやネットワークの開発と導入が進むものと考えられる。

パソコンのマルチメディア化によって、パソコン間での音声や映像通信にも帯域や品質の保証が求められるようになる。また、既存の電話やTV会議等の通信をコンピュータ間通信とATM網によって統合することも考えられる。このようなマルチメディアネットワークを支えるATM交換機は、現在のATM交換に比べ更に大容量で、通信メディアに応じて帯域や品質を保証する機能が要求される。また、最近のインターネットブームに見られるようなコネクションレス通信のサポート、電話との相互接続に必要なSTM/ATM変換機能など、さまざまなプロトコルや相互間の変換機能が必要となる。今後はATMの適用領域を拡大するための、量的・質的な拡大が進められて行くものと考えられる。

謝辞

本論文は、筆者が日本電信電話株式会社（以下NTT）研究所にて行ってきたマルチメディア交換機の構成法に関する研究をとりまとめたものである。論文作成にあたり、懇切丁寧な御指導を頂いた京都大学工学部情報工学科上林弥彦教授、池田克夫教授、吉田進教授、石田亨教授、美濃導彦教授に心からの謝意を表します。また、木村磐根京都大学名誉教授、深尾昌一郎京都大学超高層電波研究センター教授には、学生時代のご指導を通じ研究者としての手ほどきを受けたことをお礼申し上げます。

研究を進める上で数多くの方からご指導頂いた。日立製作所江川哲明氏、三菱電機安井直彦氏、NTTエレクトロニクステクノロジー俵寛二氏、日本高速通信菊地史郎氏（いずれももとNTT研究所）には、回線交換システムの研究でご指導を頂いた。また、神奈川工科大学小平邦夫教授、成蹊大学上田徹教授（いずれももとNTT研究所）には、通話路装置のトラヒック設計でご指導を頂いた。NTTエレクトロニクステクノロジー濃沼健夫氏（もとNTT研究所）、NTT光ネットワーク研究所青山友紀所長にはATMの研究でご指導を頂いた。記してあつくお礼を申し上げる。

論文のとりまとめにあたっては、NTT青木利晴研究開発本部長、石川宏ネットワーク部長、鈴木ネットワークサービスシステム研究所長から暖かい激励を頂いた。辛抱強く励まし続けて頂いたたまものである。

さらに、数多くの共同研究者の方々にもお礼を申し述べたい。

最後に、いつもギリギリの注文にも拘わらず、いやな顔をしないで、ワープロやコピーをして頂いた深谷晴子嬢にお礼を申し上げます。

参考文献

第1章

- [1-1] 俵、浜里、井上、高橋、"時間スイッチによる通話路構成"、通研実報、Vol.28, No.7, pp.1277-1291, July 1979
- [1-2] 安井、高橋、"可変タイムスロット多重化分離回路を用いた時分割通話路の提案"、信学論、vol.66-B, No.2, pp.193-200, Feb. 1983
- [1-3] 高橋、"(N x 64) kb/s接続の時間順序保存" 信学論 Vol.69-B, No.10, pp. 1038-1045, Oct. 1986
- [1-4] 高橋、菊地、"高速・広帯域INSのための多元ベアラ交換"、信学会、交換研究会資料SE85-125, Nov.1985
- [1-5] T.Takahashi, H.Kataoka and M.Hirano, "Broadband Packet Switching Network Featuring Dynamic Control of Link Speed," 信学論 Vol.71-E, No.9, pp.869-875, Sep.1988
- [1-6] H. Yamada, S. Yamada, H. Kai, and T. Takahashi, "A Multi-Purpose Memory Switch LSI for ATM-Based Systems," Proc. of GCOM'90, Vol.3, pp.1602-1608, Dec. 1990
- [1-7] Y. Doi, H. Yamada, K. Endoh, and T. Takahashi, "A Very High-Speed ATM Switch With Input and Output Buffers," Proc. of ISS'92, vol.2, pp.231-235, Oct. 1992
- [1-8] A. A. Lazar, A. Patir, T. Takahashi, et al., "MAGNET: Columbia's Integrated Network Testbed," IEEE JSAC, Vol.-3, No.6, pp.859-871, Nov. 1985
- [1-9] A. Patir, T. Takahashi, et al., "An Optical Fiber-Based Integrated LAN for MAGNET's Testbed Environment," IEEE JSAC, Vol.-3, No.6, pp.872-881, Nov. 1985
- [1-10] T. Takahashi, S. Nakajima, S. Chaki, and M. Omotani, "B-ISDN Networking Using Group Virtual Paths," Proc. of ICC'93, pp.1343-1347, May 1993
- [1-11] 高橋、重谷、茶木、中島、"GVPを用いたB-ISDNネットワークの提案"、信学論Vol.76-B-1, No.11, pp.819-827, Nov. 1993
- [1-12] 重谷、高橋、"GVP帯域管理方式を適用したB-ISDN網の設計"、信学論Vol.78-B-1, No.8, pp.305-313, Aug. 1995

第3章

- [3-1] J.H.Huttenhoff, et al., "Peripheral System", Bell Syst. Tech. J., Vol.56, No.7, pp.1029-1055, Sep 1977
- [3-2] 江川、上野、笠間、三瓶、"D60、D70デジタル交換機の通話路系装置構成"、通研実報、Vol.33, No.7, pp.1737-1752, July 1984
- [3-3] 俵、浜里、井上、高橋、"時間スイッチによる通話路構成"、通研実報、Vol.28, No.7, pp.1277-1291, July 1979

- [3 - 4] 酒井、菊地、高橋、" 64kb/s高多重時分割通話路の検討"、信学会、交換研究会資料 S E 86-72, Sep.1986
- [3 - 5] T. Sakai, S. Konaka, Y. Kobayashi, M. Suzuki and Y. Kawai, "Gigabit logic bipolar technology : Advanced super self-aligned process technology," Electron. Lett., Vol.19, No.8, pp.283-284, Apr. 1983
- [3 - 6] N. Yamanaka et al., "High-speed Time Division Switch Operating at 256Mb/s," 信学論 Vol.E-68, No.9, pp.570-571, Sep. 1985
- [3 - 7] Y. Shimazu and T. Takada, "High-speed time switching technology using space-division-switch LSI's," IEEE JSAC, Vol.4, No.1, pp.33-38, Jan. 1986
- [3 - 8] 高橋、菊地、" 高速・広帯域 I N S のための多元ベアラ交換"、信学会、交換研究会資料 S E 85-125, Nov.1985

第 4 章

- [4 - 1] 高橋、" (N x 6 4) kb/s接続の時間順序保存"、信学論 Vol.69-B, No.10, pp.1038-1045, Oct. 1986
- [4 - 2] 江川、菊池、高橋、" デジタル網における多元情報 (N × 5 4 kb/s) の時間順序保存について"、信学技報、SE80-34 (1980)
- [4 - 3] 斎藤、荻野、後藤、猪瀬、" 時分割スイッチ回路網における対関係の構成"、信学論、Vol.64-B, No.8, pp.800-807, Aug. 1981
- [4 - 4] J.H.Huttenhoff, et al., "Peripheral System", Bell Syst. Tech. J.,5,6,7, pp.1029-1055 (1977)
- [4 - 5] 安井、江川、佐藤、" デジタル加入者線交換機の方式構成"、通研実報、vol.31, No.11, pp.1955-1965 (1982)
- [4 - 6] C.Jacobaues, "A Study on Cogestion in Link System," Ericsson Tech., vol.48, pp.1-68 (1950)

第 5 章

- [5 - 1] J. W. Forgie et al., "System Design Implication of Packetized Voice," Proc. of ICC'77, pp.38.2.44-2.48, June 1977
- [5 - 2] T. Aoyama, T. Takahashi, et al., "Packetized Service Integration Network For Dedicated Voice/Data Subscribers," IEEE Transactions on Com.,vol.COM-29, no.11, pp.1595-1601, Nov. 1981
- [5 - 3] J. R. Pierce, "Network for Block Switching of Data," Bell Syst. Tech. J., Vol. 51, No.6, pp.1133-1145, July-Aug. 1972
- [5 - 4] A. Thomas et al., "Asynchronous Time-division Techniques: An Experimental Packet

- Network Integrating Video Communications," Proc. of ISS'84, pp.32C2, May 1984
- [5 - 5] J. J. Kulzer and W. A. Montgomery, "Statistical Switching Architecture for Future Services," Proc. of ISS'84, pp.43A1, May 1984
- [5 - 6] 高橋、" 標準化作業の協調－A T Mフォーラム"、I T Uジャーナル、Vol.10, No.10, pp.49-51, Oct. 1996
- [5 - 7] 相澤、魚瀬、浅野、" A T Mを用いた高速バックボーンネットワークの構想"、信学会、情報ネットワーク研究会キャンパスネットワーク小特集、June 1994
- [5 - 8] N. Miyaho, M. Hirano, Y. Takagi, K. Shiimoto, and T. Takahashi, "An ATM Switching System Architecture for First Generation of Services," Proc. of ISS'92, Vol.1, pp.285-289, Oct. 1992
- [5 - 9] 濃沼、高橋、" 高速データ/マルチメディア通信の実現－A T Mノードシステム技術"、N T T技術ジャーナル、Vol.5、No.9、pp.26、Sep. 1993
- [5 - 1 0] H. Ishikawa, "Evolving from Narrowband," IEEE COM Magazine, Vol.30, No.8, pp.32-36, Aug. 1992
- [5 - 1 1] 高木、高橋、" 複数の品質クラスをもつA T M網のセル転送品質制御"、信学論、Vol.J74-B-1, No.3, pp.180-189, Mar. 1991
- [5 - 1 2] Y. Takagi, S. Hino, T. Takahashi, "Priority Assignment Control of ATM Line Buffers," IEEE J. Selected Areas in Commun., Vol.9, No.7, pp.1078-1092, Sep 1991
- [5 - 1 3] M. Hluchyj and M. Karol, "Queueing in high-performance packet switching," IEEE JSAC vol.6, No.9, pp.1587-1597, Dec. 1988
- [5 - 1 4] H. Kuwahara, N. Endo, M. Ogino and T. Kozaki, "Shared buffer memory switch for an ATM exchange," ICC'89, pp.4.4.1-4.4.5, June 1989

第 6 章

- [6 - 1] T.Takahashi, H.Kataoka and M.Hirano,"Broadband Packet Switching Network Featuring Dynamic Control of Link Speed," 信学論 Vol.71-E, No.9, pp.869-875, Sep.1988
- [6 - 2] H. Sakakibara, H. Kataoka, M. Hirano, T. Takahashi, "A Broadband Packet Switching System Architecture Based on Flexible Packet Switch Fabric with Dynamic Link Speed Control," in Proc. of IEEE COMSOC International Workshop on Future Prospects of Burst/Packetized Multimedia Communications, pp.5.4, Nov. 1987
- [6 - 3] T. Koinuma, T. Takahashi, et al., "An ATM Switching System Based on a Distributed Control Architecture," Proc. of ISS'90, vol.V, pp.21-26, May 1990
- [6 - 4] H. Yamada, S. Yamada, H. Kai, and T. Takahashi,"A Multi-Purpose Memory Switch LSI for ATM-Based Systems," Proc. of GCOM'90, Vol.3, pp.1602-1608, Dec. 1990

第7章

- [7-1] Y. Doi, H. Yamada, K. Endoh, and T. Takahashi, "A Very High-speed ATM Switch with Input and Output Buffers," Proc. of ISS'92, A8.2 (1992)
- [7-2] 朝永、松岡、加藤、渡邊、" 広帯域 I S D N 用超高速 A T M スイッチの試作"、信学会、交換研究会資料、S E 9 1 - 1 1 5、Mar. 1992
- [7-3] 遠藤、土井、山中、福田、" 階層型アービトレーションによる高速 A T M スイッチ構成法"、信学会、交換研究会資料、S E 9 2 - 1 0 4、Nov. 1992
- [7-4] N. Yamanaka, K. Endo, K. Genda, H. Fukuda, T. Kishimoto and S. Sasaki, "320Gb/s high-speed ATM switching system hardware technologies based on copper polyimide MCM," IEEE Tr. CPMT, Vol.18, No.1, pp.83-91, Feb. 1995

第8章

- [8-1] A. A. Lazar, A. Patir, T. Takahashi, et al., "MAGNET: Columbia's Integrated Network Testbed," IEEE JSAC, Vol.3, No.6, pp.859-871, Nov. 1985
- [8-2] A. Patir, T. Takahashi, et al., "An Optical Fiber-Based Integrated LAN for MAGNET's Testbed Environment," IEEE JSAC, Vol.3, No.6, pp.872-881, Nov. 1985
- [8-3] A. A. Lazar, A. Patir, T. Takahashi, et al., "MAGNET: Columbia's Integrated Network Testbed," Proc. of ICC'85, pp.15-19, June 1985
- [8-4] J. O. Limb and C. Flores, "Description of FASNET - A Unidirectional Local Area Communications Network," Bell Syst. Tech. J. vol.61, No.7, pp.1413-1440, Sep. 1982

第9章

- [9-1] T. Takahashi, S. Nakajima, S. Chaki, and M. Omotani, "B-ISDN Networking Using Group Virtual Paths," Proc. of ICC'93, pp.1343-1347, May 1993
- [9-2] 高橋、重谷、茶木、中島、" G V P を用いた B - I S D N ネットワーキングの提案"、信学論 Vol.76-B-1, No.11, pp.819-827, Nov. 1993
- [9-3] 重谷、高橋、" G V P 帯域管理方式を適用した B - I S D N 網の設計"、信学論 Vol.78-B-1, No.8, pp.305-313, Aug. 1995
- [9-4] ITU-T Recommendation I. 311
- [9-5] K. Sato, S. Ohta and I. Tokizawa, "Broadband ATM Network Architecture Based on Virtual Path," IEEE Trans. Commun., vol 38, No. 8, pp.1212, Aug. 1990
- [9-6] H. Saito, "Call Admission Control in an ATM Network Using Upper Bound of Cell Loss Probability," IEEE Trans. Commun., vol 40, No. 9, pp.1512, Sep. 1992
- [9-7] K. Kawashima and H. Saito, "Teletraffic in ATM Networks," Computer Networks and

ISDN Systems, vol 20, pp.363 (1990)

- [9 — 8] H. Heffes and D. M. Lucantoni, "A Markov Modulated Characterization of Packetized Voice and Data Traffic and related Statistical Multiplexer Performance," IEEE JSAC vol. 4, No. 6, pp. 856, Sep. 1986
- [9 — 9] H. J. Fowler and W. E. Leland, "Local Area Network Traffic Characteristics, with Implications for Broadband Network Congestion Management," IEEE JSAC, vol. 9, No. 7, pp.1139, Sep. 1991